

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-203858

(43)Date of publication f application : 30.07.1999

(51)Int.Cl.

G11C 11/407  
 G11C 11/41  
 H01L 27/108  
 H01L 21/8242

(21)Application number : 10-000090

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.01.1998

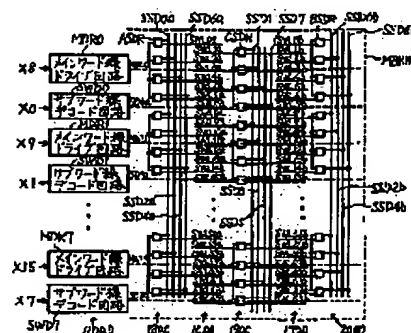
(72)Inventor : FURUYA KIYOHIO

## (54) WORD LINE DRIVE CIRCUIT AND SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device which can be decreased in power consumption without increasing an area occupied by wiring.

SOLUTION: In a semiconductor storage device made up of a hierarchical word line of a main word line/a sub-word line, sub-word line drive circuits (ASDR, BSDR, CSDR) provided corresponding to each sub-word line are composed of two MOS transistors, and a non-selective sub-word line is maintained at a negative voltage VRW. The main word line and the sub-word line decode signal lin are arranged in parallel, and sub-word line decode signal transmission lines (SSD) are arranged so as to intersect the sub-word line decode lines along the column direction, and are given to the corresponding sub-word line drive circuits.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-203858

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 1 1 C 11/407  
11/41  
H 0 1 L 27/108  
21/8242

G 1 1 C 11/34 3 5 4 D  
3 0 1 D  
3 4 5  
H 0 1 L 27/10 6 8 1 A  
6 8 1 F

審査請求 未請求 請求項の数 7 O L (全 23 頁)

(21) 出願番号

特願平10-90

(22) 出願日

平成10年(1998) 1月5日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 古谷 清広

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

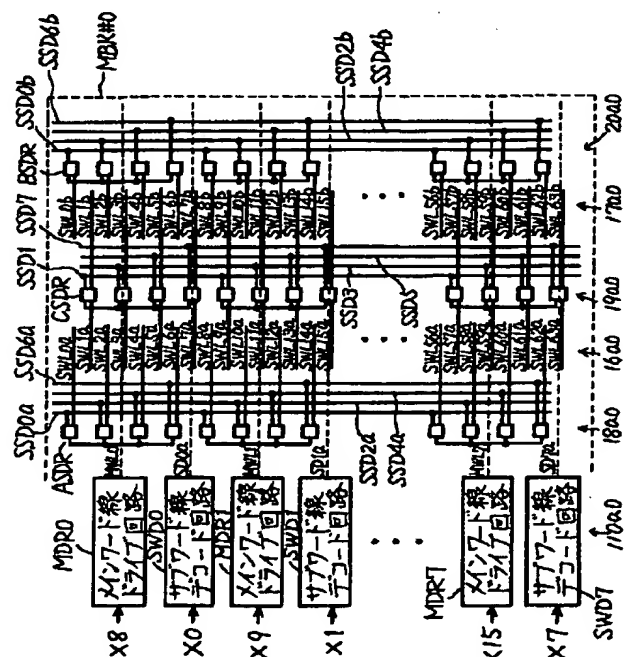
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 ワード線駆動回路および半導体記憶装置

(57) 【要約】

【課題】 配線占有面積を増加させることなく消費電力を低減することのできる半導体記憶装置を提供する。

【解決手段】 メインワード線/サブワード線の階層ワード線構成を備える半導体記憶装置において、各サブワード線に対応して設けられるサブワード線ドライブ回路(ASDR, BSDR, CSDR)を2個のMOSTランジスタで構成し、かつ非選択サブワード線は負電圧V<sub>RW</sub>に保持する。メインワード線とサブワード線デコード信号線を平行に配設し、列方向に沿ってこのサブワード線デコード線と交差するようにサブワード線デコード信号伝達線(SSD)を配設して対応のサブワード線ドライブ回路へ与える。



## 【特許請求の範囲】

【請求項1】 第1のノードとワード線との間に接続され、導通時前記第1のノード上の電圧を前記ワード線上に伝達するための第1の絶縁ゲート型電界効果トランジスタ、および第2のノードと前記ワード線との間に接続され、導通時前記第2のノード上の電圧を前記ワード線上に伝達するための第2の絶縁ゲート型電界効果トランジスタを備え、

前記第2のノードへは、前記第2の絶縁ゲート型電界効果トランジスタの非導通時のソースドレイン間抵抗が、前記第1の絶縁ゲート型電界効果トランジスタの非導通時のソースドレイン間抵抗よりも小さくなる一定の電圧が供給され、さらにアドレス信号に従って前記第1および第2の絶縁ゲート型電界効果トランジスタの導通／非導通を制御する信号を生成する手段を備える、ワード線駆動回路。

【請求項2】 ワード線デコード信号を受ける第1のノードとワード線との間に接続され、導通時前記第1のノード上の信号を前記ワード線上に伝達する第1の絶縁ゲート型電界効果トランジスタと、

前記ワード線と一定の基準電圧を受ける第2のノードとの間に接続され、前記ワード線デコード信号と相補な信号に应答して導通し、導通時前記第2のノード上の電圧を前記ワード線上に伝達する第2の絶縁ゲート型電界効果トランジスタとを備え、前記基準電圧の極性は前記ワード線デコード信号の電圧極性と異なり、さらにアドレス信号に従って前記第1の絶縁ゲート型電界効果トランジスタを選択的に導通させるための手段を備える、ワード線駆動回路。

【請求項3】 各々が行列状に配列される複数のメモリセルを有する複数のメモリサブアレイ、各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線、前記複数のメモリサブアレイに共通に設けられ、各々が各前記メモリブロックの所定数のサブワード線に対応して設けられる複数のメインワード線および、前記複数のメインワード線各々と各前記サブワード線との間に設けられ、対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路を備え、各前記サブワード線ドライブ回路は、前記所定数のサブワード線のうちの1つを指定するサブワード線デコード信号を対応のメインワード線上の電圧に従って対応のサブワード線上に伝達する第1の絶縁ゲート型電界効果トランジスタと、前記サブワード線デコード信号と相補なデコード信号に应答して基準電圧を前記対応のサブワード線上に伝達する第2の絶縁ゲート型電界効果トランジスタとを含み、前記基準電圧は前記サブワード線デコード信号および相補なデコード信号と極性が異なる、半導体記憶装置。

【請求項4】 各々が行列状に配列される複数のメモリ

セルを有する複数のメモリサブアレイ、

各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線、

前記複数のメモリサブアレイに共通に設けられ、各々が各前記メモリサブアレイの所定数のサブワード線に対応して設けられる複数のメインワード線、および前記複数のメインワード線各々と各前記サブワード線との間に設けられ、各々が対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路を備え、各前記サブワード線ドライブ回路は、前記所定数のサブワード線のうちの1つを指定するサブワード線デコード信号を対応のメインワード線上の電圧に従って対応のサブワード線上に伝達する第1の絶縁ゲート型電界効果トランジスタと、前記対応のメインワード線上の電圧に应答して、前記第1の絶縁ゲート型電界効果トランジスタと相補的に導通して基準電圧を前記対応のサブワード線上に伝達する第2の絶縁ゲート型電界効果トランジスタとを含み、前記基準電圧は前記サブワード線デコード信号および前記複数のメインワード線上の電圧と極性が異なる、半導体記憶装置。

【請求項5】 前記複数のメインワード線各々に対応して設けられ、第1のアドレス信号に従って対応のメインワード線を選択状態へ駆動するための複数のメインワード線ドライブ回路と、

前記メインワード線と平行にかつ同一配線層にかつ前記複数のメモリサブアレイ上にわたって形成され、各々が活性化時前記所定数のサブワード線のうちの1つを指定するサブワード線指定信号を伝達する複数の第1のサブワード線デコード信号線と、

前記複数の第1のサブワード線デコード信号線と交差する方向に配設されかつ各々が前記複数の第1のサブワード線デコード信号線の所定のデコード信号線と接続され、前記複数のサブワード線ドライブ回路へ対応のサブワード線指定信号を伝達する複数の第2のサブワード線デコード信号線と、

第2のアドレス信号に従って前記複数の第1のサブワード線デコード信号線の1つを選択状態へ駆動するサブワード線デコーダをさらに備える、請求項3または4記載の半導体記憶装置。

【請求項6】 各々が行列状に配列される複数のメモリセルを有する複数のメモリサブアレイ、

各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線、

前記複数のメモリサブアレイに共通に設けられ、各々が前記メモリサブアレイの所定数のサブワード線に対応して設けられる複数のメインワード線、

前記複数のメインワード線と平行にかつ同一層にかつ前記複数のメモリサブアレイ上にわたって形成され、前記所定数のサブワード線のうち1つを指定するサブワード線指定信号を伝達するための複数の第1のサブワード線

デコード信号線、

前記複数の第 1 のサブワード線デコード信号線と交差する方向に配設され、各々が前記複数の第 1 のサブワード線デコード信号線の所定のデコード信号線に接続されかつ前記メモリサブアレイそれぞれに対応して設けられる複数の第 2 のサブワード線デコード信号線、

前記複数のサブワード線に対応して設けられ、各々が対応のメインワード線および対応の第 2 のサブワード線デコード信号線上の信号電位に従って対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路を備える、半導体記憶装置。

【請求項 7】 行列状に配列される複数のメモリセルを含むメモリセルアレイ、

各前記行に対応して配設され、各々に対応の行のメモリセルが接続する複数のワード線、

前記メモリセルアレイ内部において各前記行に対応して配置され、選択時対応のワード線を選択状態へ駆動するためのワード線ドライブ回路、

各々が所定数のワード線の組に対応して設けられ、前記メモリセルアレイの端部から前記複数のワード線ドライブ回路にわたって行方向に沿って延在して配置され、ワード線の組を指定する信号を伝達するための複数の第 1 のワード線選択線、

前記行方向に沿って前記複数の第 1 のワード線選択線と平行にかつ同一配線層に前記メモリセルアレイ端部から前記ワード線ドライブ回路配置領域にわたって配設され、各々が前記所定数のワード線の組のうちの 1 つのワード線を指定するワード線指定信号を伝達するための複数の第 2 のワード線選択線、

前記列方向に沿って配設され、各々が前記複数の第 2 のワード線選択線の所定のものに接続され、対応のワード線指定信号を前記複数のワード線ドライブ回路の対応のものへ伝達するための複数の第 3 のワード線選択線を備え、

前記ワード線ドライブ回路の各々は前記第 1 および第 3 のワード線選択線上の信号に従って対応のワード線を選択状態へ駆動する、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ワード線選択のためのデコーダ／ドライブ回路の高集積化および低消費電力化のための構成に関する。より特定的には、メイン／サブワード線ドライブ回路を有する階層ワード線の半導体記憶装置の高集積化および低消費電力化を実現するためのワード線駆動部の構成に関する。

【0002】

【従来の技術】図 15 は、従来の半導体記憶装置のアレイ部の構成を概略的に示す図である。図 15 において、従来の半導体記憶装置は、行列状に配列されるメモリセルを有するメモリアレイ 1 と、図示しないデコード回路

からのワード線選択信号に従ってメモリアレイ 1 のアドレス指定された行を選択状態へ駆動するためのワード線ドライバ 2 を含む。メモリアレイ 1 においては、メモリセルの各行に対応してワード線が配置され、メモリセルの各列に対応してビット線対が配置される。図 15 においては 1 つのワード線 16 と 2 対のビット線 5、6 および 7、8 を代表的に示す。

【0003】ワード線 16 とビット線 6 の交差部に対応してメモリセル 9 が配置され、ビット線 8 とワード線 16 の交差部に対応してメモリセル 10 が配置される。メモリセル 9 は、情報を記憶するキャパシタ 13 と、ワード線 16 上の信号電位に従ってキャパシタ 13 をビット線 6 に接続する n チャンネル MOS トランジスタで構成されるアクセストランジスタ 11 を含む。メモリセル 10 は、キャパシタ 14 と、ワード線 16 上の信号に従ってキャパシタ 14 をビット線 8 に接続するアクセストランジスタ 12 を含む。

【0004】ビット線 5 および 6 に対してはセンスアンプ回路 3 が設けられ、ビット線 7 および 8 に対してはセンスアンプ回路 4 が設けられる。これらのセンスアンプ回路 3 および 4 は、活性化時対応のビット線対の電位を差動増幅しかつラッチする。

【0005】ワード線ドライバ 2 は、各ワード線に対応して設けられ、ワード線選択信号が対応のワード線を指定するとき、対応のワード線を選択状態へ駆動するためのワード線ドライブ回路を含む。図 15 においては、ワード線 16 に対応して設けられるワード線ドライブ回路 15 を代表的に示す。次に動作について簡単に説明する。

【0006】スタンバイサイクル時においては、ワード線 16 は非選択状態にあり、アクセストランジスタ 11 および 12 は非導通状態にあり、キャパシタ 13 および 14 はそれぞれ対応のビット線 6 および 8 から分離される。ビット線 5、6、7 および 8 は、それぞれ図示しないプリチャージ／イコライズ回路により所定の電圧レベルにプリチャージされている。

【0007】メモリサイクル（アクティブサイクル）が始まると、ワード線ドライブ回路 15 が、与えられたワード線選択信号に従ってワード線 16 を選択状態へ駆動し、ワード線 16 の電圧レベルが上昇する。応じてアクセストランジスタ 11 および 12 が導通し、キャパシタ 13 および 14 にそれぞれ格納された電荷がビット線 6 および 8 にそれぞれ伝達される。ビット線 5 および 7 には、メモリセルは接続されていないため、これらのビット線 5 および 7 は、所定のプリチャージ電圧レベルを保持する。

【0008】ビット線 6 および 8 の電圧レベルがメモリセル 9 および 10 から読出された電荷に従って変化すると、次いでセンスアンプ 3 および 4 が活性化され、ビット線対 5 および 6 ならびに 7 および 8 の電圧を差動増幅

しかつラッチする。このセンスアンプ回路3および4のセンス動作により、ビット線6および8は、それぞれメモリセル9および10の記憶データに従って、電源電圧または接地電圧レベルに駆動される。

【0009】ワード線16は、ポリシリコン層で形成され、アクセストランジスタ11および12のコントロールゲートと一体的に形成される。半導体記憶装置の記憶容量が増大すると、メモリアレイ1のサイズが応じて大きくなる。このメモリアレイの面積増加に伴って、ワード線16の長さが長くなり、またそれに接続されるメモリセルの数も増加すると、ワード線16の配線抵抗および寄生容量が大きくなる。特に、ポリシリコン層は抵抗値が比較的高いため、このワード線16の配線抵抗および寄生容量によるRC時定数が大きくなる。このため、ワード線16が選択されたとき、このワード線16の電圧が上昇する速度が遅くなり、メモリセルのデータの読出が遅れ、応じてセンスアンプ3および4の活性化タイミングが遅くなり、高速アクセス実現することができなくなるという問題が生じる。このような問題点を解決するために、ワード線16の長さを短くするとともに、ワード線に接続されるメモリセルの数を低減するために、メインワード線/サブワード線という階層ワード線構成が用いられる。

【0010】図16は、従来の階層ワード線構成の半導体記憶装置のアレイ部の構成を概略的に示す図である。図16において、メモリアレイ1が、2つのサブアレイ16および17に分割される。メモリサブアレイ16および17はそれぞれ行列状に配列される複数のメモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続されるサブワード線と、各列に対応して配置され各々に対応の列のメモリセルが接続されるビット線対を含む。メモリサブアレイ16に含まれるサブワード線25および27とビット線対32および33と、メモリサブアレイ17に含まれるビット線34および35を代表的に示す。

【0011】サブワード線25とビット線33の交差部にメモリセル37が配置され、ビット線32とサブワード線27の交差部に対応してメモリセル36が配置される。メモリセル36は、キャパシタ44と、アクセストランジスタ40を含み、メモリセル37は、キャパシタ45とアクセストランジスタ41を含む。メモリサブアレイ17においては、ビット線34とサブワード線28の交差部に対応してメモリセル38が配置され、サブワード線26とビット線35の交差部に対応してメモリセル39が配置される。メモリセル38は、キャパシタ46とアクセストランジスタ42とを含み、メモリセル39は、キャパシタ47とアクセストランジスタ43を含む。

【0012】これらのサブワード線25～28に共通に、メモリサブアレイ16および17上にわたって行方

向に延在してメインワード線25が配置される。このメインワード線24は、ワードドライバ15に含まれるメインワード線ドライブ回路21からのメインワード線駆動信号に従って選択状態へ駆動される。

【0013】サブワード線を選択状態へ駆動するために、サブワード線ドライバ18、19および20が配置される。メモリサブアレイ16の一方側に配置されるサブワード線ドライバ18は、メモリサブアレイ16に含まれる1つおきのワード線に接続されるサブワード線デコード回路を含む。図16においては、サブワード線27に対応して設けられるサブワード線ドライブ回路29を代表的に示す。このサブワード線ドライブ回路29は、サブワード線デコード信号SD0とメインワード線24上の信号電位に従ってサブワード線27を選択状態へ駆動する。メモリサブアレイ17の外側に配置されるサブワード線ドライバ20は、メモリサブアレイ17の1つおきのサブワード線（たとえば偶数行）に対応して設けられるサブワード線ドライブ回路を含む。図16においては、サブワード線28に対応して設けられるサブワード線ドライブ回路31を示す。このサブワード線ドライブ回路31は、メインワード線24上の信号電位とサブワード線デコード信号SD0とに従ってサブワード線28を選択状態へ駆動する。

【0014】メモリサブアレイ16および17の間に配置されるサブワード線ドライバ19は、メモリサブアレイ16および17の残りのサブワード線に対して設けられるサブワード線ドライブ回路を含む。図16においては、サブワード線25および26に対して共通に設けられ、メインワード線24上の信号とサブワード線デコード信号SD1とに従ってこれらのサブワード線25および26を選択状態へ駆動するサブワード線ドライブ回路30を示す。

【0015】サブワード線デコード信号SD0およびSD1は、1つのメインワード線24に対して設けられる複数のサブワード線のうち、1つのサブワード線を指定する。したがってこの図16に示す構成においては、1つのメインワード線に対し各メモリサブアレイにおいて2つのサブワード線が設けられているため、メインワード線選択時に一方のサブワード線が指定される。次に動作について説明する。

【0016】今、サブワード線デコード信号SD0が選択状態のHレベルであり、メインワード線24が選択状態へ駆動される場合を考える、サブワード線ドライブ回路29が対応のサブワード線27を選択状態へ駆動する。またメモリサブアレイ17においても、サブワード線ドライブ回路31が対応のサブワード線28を選択状態へ駆動する。これにより、メモリセル36および38の記憶データがそれぞれ対応のビット線32および34上に読出される。その後センスアンプ22および23が活性化され、ビット線32および34上に読出されたデ

ータに従ってビット線32、33、34および35の電圧レベルを電源電圧または接地電圧レベルへ駆動する。

【0017】サブワード線デコード信号SD1が選択状態のときには、メインワード線24の電圧レベルが上昇すると、サブワード線ドライブ回路30がサブワード線25および26を選択状態へ駆動する。これにより、メモリセル37および39の記憶データに従ってビット線33および35の電位が変化し、この電位変化がセンスアンプ22および3により検知されかつ増幅されてラッチされる。

【0018】サブワード線25～28の各々は、アクセストランジスタのコントロールゲートと一体的に形成されており、ポリシリコン層で形成される。一方、メインワード線24は、低抵抗のアルミニウム配線層で形成される。したがって、このメインワード線ドライブ回路21は、メインワード線24の電圧レベルを高速で変化させ、ワード線駆動信号の伝播遅延を低減する。メモリサブアレイ16および17それぞれにおいてサブワード線が選択される。サブワード線25～28の長さは、図15に示す構成に比べて1/2となり、その配線抵抗および寄生容量は小さく（接続されるメモリセルの数も少ない）、サブワード線は高速で選択状態へ駆動される。このメインワード線/サブワード線の階層構造により、ワード線における信号伝播遅延を低減して高速で選択行を選択状態へ駆動してメモリセルデータのビット線上への読出を行なうことができる。

【0019】

【発明が解決しようとする課題】図17は、図16に示すサブワード線ドライブ回路の構成を示す図である。図17においては、メインワード線MWLとサブワード線SWLに対して設けられたサブワード線ドライブ回路の構成を示す。図17において、サブワード線ドライブ回路は、メインワード線MWL上の信号電位にตอบสนองして導通し、サブワード線デコード信号SDをサブワード線SWLへ伝達するpチャネルMOSトランジスタPQと、メインワード線MWLの信号電位にตอบสนองして導通し、サブワード線SWLへ接地電圧VSSを伝達するnチャネルMOSトランジスタNQ1と、補のサブワード線デコード信号ZSDにตอบสนองして導通し、サブワード線SWLへ接地電圧を伝達するnチャネルMOSトランジスタNQ2を含む。メインワード線MWLは、ワード線ドライブ回路WDRにより、選択時接地電圧VSS（0V）レベルに駆動され、非選択時昇圧電圧VPPレベルに駆動される。サブワード線デコード信号SDは、接地電圧と昇圧電圧VPPの間の振幅を有し、一方、補のサブワード線デコード信号ZSDは、接地電圧と内部電源電圧VDDの間の振幅を有する。次に動作について簡単に説明する。

【0020】メインワード線MWLが非選択状態のときには、メインワード線MWLは、メインワード線ドライ

ブ回路WDRにより、昇圧電圧VPPに保持される。これにより、MOSトランジスタNQ1が導通し、一方、MOSトランジスタPQが非導通状態となり、サブワード線SWLは、接地電圧レベルに保持される。

【0021】メインワード線MWLが選択されると、メインワード線ドライブ回路WDRは、このメインワード線MWLを、接地電圧レベルへ駆動する。これにより、MOSトランジスタNQ1が非導通状態、MOSトランジスタPQが導通状態となり、サブワード線SWLには、サブワード線デコード信号SDが伝達される。このサブワード線デコード信号SDが接地電圧レベルであれば、サブワード線SWLは非選択状態に保持される。このとき、補のサブワード線デコード信号ZSDが電源電圧レベルのHレベルにあり、非選択サブワード線SWLを、確実に接地電圧レベルに保持する。一方、サブワード線デコード信号SDが昇圧電圧VPPレベルのHレベルになると、サブワード線SWLは昇圧電圧VPPレベルに駆動される。このとき、補のサブワード線デコード信号ZSDは、接地電圧レベルであり、MOSトランジスタNQ2は非導通状態となる。これにより、選択サブワード線SWLは、昇圧電圧VPPレベルに駆動される。

【0022】nチャネルMOSトランジスタNQ2を用いるのは、以下の理由による。メインワード線MWLが選択状態にあり、pチャネルMOSトランジスタPQが導通したとき、サブワード線デコード信号SDがサブワード線SWL上に伝達される。このサブワード線デコード信号SDが接地電圧レベルのとき、MOSトランジスタPQがゲートおよびソースが同一電圧レベルとなり、非導通状態となる。MOSトランジスタNQ2が設けられていない場合、サブワード線SWLがフローティング状態となり、ノイズまたは容量結合によりその電位が浮き上がる。このとき、MOSトランジスタPQのしきい値電圧の絶対値以上にサブワード線SWLの電位が上昇したときでないと、MOSトランジスタPQは導通しない。このようなサブワード線SWLがフローティング状態となるのを防止するために、MOSトランジスタNQ2が設けられる。したがって、この図17に示す構成においては、サブワード線ドライブ回路は、3つのMOSトランジスタを必要とし、その占有面積が増加するという問題が生じる。また、MOSトランジスタNQ2を導通/非導通を制御するために、補のサブワード線デコード信号ZSDを用いる必要がある。したがって、サブワード線デコード信号は相補信号となり、これらの信号を各サブワード線ドライブ回路へ伝達するための配線占有面積および消費電力が増加するという問題が生じる。

【0023】図18は、サブワード線デコード信号の配置を概略的に示す図である。図18において、サブワード線デコード信号SDおよびZSDは、サブワード線デコード50により生成される。サブワード線デコード5

0は、選択サブワード線が偶数行に配置されるか奇数行に配置されるかを特定のアドレス信号ビットにより判定して、その判定結果に従ってサブワード線デコード信号を生成する。このサブワード線デコーダ50からのサブワード線デコード信号SDおよびZSDは、メモリサブアレイ16および17外部に延在して配置される相補信号線51上に伝達される。この相補信号線51に対し、サブワード線ドライバ18、19、および20それぞれに対応して配置されるサブワード線デコード信号伝達線52a、52bおよび52cが接続される。これらのサブワード線デコード信号伝達線52a~52cは、それぞれ対応のサブワード線ドライバに含まれるサブワード線ドライブ回路に接続される。サブワード線デコード信号伝達線52a~52cは、メモリサブアレイ16および17の列方向に沿って延在して配置される。したがって、このサブワード線デコード信号伝達線52a~52cの長さが長くなり、高速でサブワード線デコード信号を変化させることができなくなり、また長い信号線を駆動するために消費電力も大きくなるという問題が生じる。

【0024】それゆえ、この発明の目的は、低占有面積かつ低消費電力の少なくとも一方を実現する半導体記憶装置およびワード線ドライブ回路を提供することである。

【0025】

【課題を解決するための手段】請求項1に係るワード線駆動回路は、第1のノードとワード線との間に接続され、導通時第1のノード上の電圧をワード線上传達するための第1の絶縁ゲート型電界効果トランジスタと、第2のノードとワード線との間に接続され、導通時第2のノード上の電圧をワード線上传達するための第2の絶縁ゲート型電界効果トランジスタを備える。第2のノードへは、第2の絶縁ゲート型電界効果トランジスタの非導通時のソースドレイン間抵抗が第1の絶縁ゲート型電界効果トランジスタの非導通時のソースドレイン間抵抗よりも小さくなる一定の電圧が供給される。この請求項1に係る発明は、さらに、アドレス信号に従って第1および第2の絶縁ゲート型電界効果トランジスタの導通/非導通を制御するための手段を備える。

【0026】請求項2に係る発明は、所定数のワード線の組のうちの1つを指定するワード線デコード信号を受ける第1のノードとワード線との間に接続され、導通時第1のノード上の信号をワード線上传達する第1の絶縁ゲート型電界効果トランジスタと、ワード線と一定の基準電圧を受ける第2のノードとの間に接続され、ワード線サブデコード信号と相補な信号に応答して導通し、導通時第2のノード上の基準電圧をワード線上传達する第2の絶縁ゲート型電界効果トランジスタとを備える。基準電圧の極性はワード線サブデコード信号の電圧極性と異なる。

【0027】この請求項2に係る発明は、さらに、アドレス信号に従ってワード線サブデコード信号を生成しかつ第1の絶縁ゲート型電界効果トランジスタを選択的に導通させるための手段を備える。

【0028】請求項3に係る発明は、各々が行列状に配列される複数のメモリセルを有する複数のメモリサブアレイと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線と、複数のメモリサブアレイに共通に設けられ、各々が各メモリサブアレイの所定数のサブワード線に対応して設けられる複数のメインワード線と、複数のメインワード線各々と各サブワード線との間に設けられ、対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路を備える。これら複数のサブワード線ドライブ回路の各々は、所定数のサブワード線のうちの1つを指定するサブワード線デコード信号を対応のメインワード線上の電圧に従って対応のサブワード線上传達する第1の絶縁ゲート型電界効果トランジスタと、サブワード線デコード信号と相補なデコード信号に応答して基準電圧を対応のサブワード線上传達する第2の絶縁ゲート型電界効果トランジスタとを備える。この基準電圧はサブワード線デコード信号およびこれと相補なデコード信号と電圧極性が異なる。

【0029】請求項4に係る発明は、各々が行列状に配列される複数のメモリセルを有する複数のメモリサブアレイと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線と、複数のメモリサブアレイに共通に設けられ、各々が各サブアレイの所定数のサブワード線に対応して設けられる複数のメインワード線と、これら複数のメインワード線各々と各サブワード線との間に設けられ、対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路とを備える。各サブワード線ドライブ回路は、所定数のサブワード線の1つを指定するサブワード線デコード信号を対応のメインワード線上の電圧に従って対応のサブワード線上传達するための第1の絶縁ゲート型電界効果トランジスタと、対応のメインワード線上の電圧に応答して第1の絶縁ゲート型電界効果トランジスタと相補的に導通して基準電圧を対応のサブワード線上传達する第2の絶縁ゲート型電界効果トランジスタとを備える。この基準電圧は、サブワード線デコード信号およびメインワード線上の電圧と電圧極性が異なる。

【0030】請求項5に係る発明は、請求項3または4の発明がさらに、メインワード線各々に対応して設けられ、第1のアドレス信号に従って対応のメインワード線を選択状態へ駆動するための複数のメインワード線ドライブ回路と、各メインワード線と平行にかつ同一配線層にかつ各サブアレイ上にわたって形成され、各々がサブワード線指定信号を伝達する複数の第1のサブワード線デコード信号線と、複数の第1のサブワード線デコード



信号線と交差する方向に配設されかつ各々が複数の第1のサブワード線デコード信号線の所定のデコード信号線と接続され、複数のサブワード線ドライブ回路へ対応のサブワード線指定信号を伝達する複数の第2のサブワード線デコード信号線と、第2のアドレス信号に従って複数の第1のサブワード線デコード信号線の1つを選択状態へ駆動するサブワード線デコーダを備える。

【0031】請求項6に係る発明は、各々が行列状に配列される複数のメモリセルを有する複数のメモリサブアレイと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線と、複数のメモリサブアレイに共通に設けられ、各々が各メモリサブアレイの所定数のサブワード線に対応して設けられる複数のメインワード線と、これら複数のメインワード線と平行にかつ同一配線層に形成され、所定数のサブワード線のうち1つを指定するサブワード線デコード信号を伝達するための複数の第1のサブワード線デコード信号線と、第1のサブワード線デコード信号線と交差する方向に配設されかつ各々が第1のサブワード線デコード信号線の所定のものに接続される複数の第2のサブワード線デコード信号線と、複数のメインワード線各々と各サブワード線との間に設けられ、各々が対応のメインワード線上の信号と第2のサブワード線デコード信号線上の信号電位に従って対応のサブワード線を選択状態へ駆動するための複数のサブワード線ドライブ回路を含む。第1のサブワード線デコード信号線は、複数のメモリサブアレイ上にわたって延在して配置される。

【0032】請求項7に係る発明は、行列状に配列される複数のメモリセルを有するメモリアレイと、各行に対応して配設され、各々に対応の行のメモリセルが接続する複数のワード線と、メモリセルアレイ内において各行に対応して配置され、選択時対応のワード線を選択状態へ駆動するためのワード線駆動回路と、各々が所定数のワード線の組に対応して設けられ、メモリセルアレイの端部から複数のワード線駆動回路上にまでわたって行方向に沿って延在して配置され、ワード線の組を指定する信号を伝達するための複数の第1のワード線選択線と、行方向に沿って複数の第1のワード線選択線と平行にかつメモリセルアレイ端部からワード線ドライブ回路配置領域上にわたって配設され、各々が所定数のワード線の組のうちの1つのワード線を指定するワード線指定信号を伝達するための複数の第2のワード線選択線と、列方向に沿って配設され、各々が複数の第2のワード線選択線の所定のものに接続され対応のワード線指定信号を複数のワード線ドライブ回路に伝達するための複数の第3のワード線選択線とを備える。ワード線ドライブ回路の各々は、第1および第3のワード線選択線上の信号に従って対応のワード線を選択状態へ駆動する。

【0033】ワード線ドライブ回路またはサブワード線ドライブ回路を2個の絶縁ゲート型電界効果トランジス

タで構成することにより、回路占有面積を低減することができる。また、第2の絶縁ゲート型電界効果トランジスタは、その基準電圧により非導通時弱いオン状態とすることにより、非選択ワード線がフローティング状態になるのを防止することができる。

【0034】また、2個の絶縁ゲート型電界効果トランジスタでドライバを構成することにより、相補なワード線指定信号（サブワード線デコード信号）を生成する必要がなくなり、配線占有面積を低減することができまた消費電力を低減することができる。

【0035】さらに、ワード線／メインワード線と平行にサブワード線デコード信号（第2のワード線選択信号線）をメモリサブアレイ上にわたって延在して配置することにより、ワード線ドライブ回路へのワード線指定信号を伝達するための信号線の配線長が短くなり、ワード線指定信号を高速で変化させることができ、またこのワード線指定信号伝達線を駆動するための消費電力を低減することができる。

【0036】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、この半導体記憶装置は、4つのメモリセルアレイ1a、1b、1cおよび1dを含む。メモリセルアレイ1a、1b、1cおよび1dは、それぞれ、2つのメモリサブアレイに分割される。メモリセルアレイ1aはメモリサブアレイ16aおよび17aに分割され、メモリセルアレイ1bは、メモリサブアレイ16bおよび17bに分割され、メモリセルアレイ1cは、メモリサブアレイ16cおよび17cに分割される。メモリセルアレイ1dは、メモリサブアレイ16dおよび17dに分割される。メモリサブアレイ16a～16dおよび17a～17dの各々は、一例として256行に配設されるメモリセルを備える。すなわち、メモリサブアレイ16a～16dおよび17a～17dは、それぞれ、256本のサブワード線を含む。

【0037】メモリセルアレイ1a～1dに共通に、外部から与えられるアドレス信号ビットA0～A7を受けて、ロウプリデコード信号X0～X15を出力するロウプリデコーダ52と、外部からのアドレス信号ビットA8およびA9を受けてメモリセルアレイを特定するブロック選択信号BS0～BS3を出力するブロックデコーダ54が設けられる。ロウプリデコーダ52は、アドレス信号ビットA0～A7を、2ビット単位でプリデコードし、ロウプリデコード信号を出力する。ブロックデコーダ54は、アドレス信号ビットA8およびA9に従ってブロック選択信号BS0～BS3の1つを活性状態（選択状態）へ駆動し、1つのメモリセルアレイにおいて行選択動作を活性化する。

【0038】ロウプリデコーダ52からのロウプリデコ

ード信号X4～X15は、メモリセルアレイ1a～1dそれぞれに設けられるロウデコーダ53a～53dへ与えられる。ロウデコーダ53a～53dは、ロウプリデコード信号X4～X15をデコードし、64本のメインワード線のうちの1つを指定する信号を出力する。残りのロウプリデコード信号X0～X3(X0～3)は、メモリセルアレイ1a～1dそれぞれに設けられるサブワード線デコーダ50a～50dへ与えられる。サブワード線デコーダ50aは、このロウプリデコード信号X0～X3を受け、対応のブロック選択信号が活性状態のときに活性化されてデコード動作を行ない、4本のサブワード線の組のうちの1つのサブワード線を指定するサブワード線デコード信号を対応のサブワード線デコード信号線51a～51d上に伝達する。

【0039】メモリセルアレイ1a～1dにそれぞれ設けられるメインワード線ドライバ15a～15dの各々は、対応のブロック選択信号BS0～BS3の活性化時に活性化され、対応のロウデコーダ53a～53dからのワード線指定信号に従って対応のメインワード線を選択状態へ駆動する。

【0040】メモリセルアレイ1aにおいて、メモリサブアレイ16aのたとえば偶数行のサブワード線選択するためのサブワード線ドライバ18a、メモリサブアレイ16aおよび17aのたとえば奇数行のサブワード線を選択するためのサブワード線トランジスタ19aおよびメモリサブアレイ17aのたとえば偶数行のサブワード線を選択するためのサブワード線ドライブ20aが設けられる。これらのサブワード線ドライブ18a、19a、および20aは、対応のサブワード線デコーダ50aから信号線51aを介して与えられるサブワード線デコード信号を受ける。メモリセルアレイ1b～1dそれぞれにおいても、サブワード線ドライバ18b～18d、19b～19dおよび20b～20dが配置され、対応のサブワード線デコーダ50b～50dからのサブワード線デコード信号を受ける。

【0041】サブワード線デコーダ50a～50dはロウプリデコーダ52からのプリデコード信号X0～X3に従って、4つのサブワード線の組のうちの1つのサブワード線を指定するサブワード線デコード信号を出力する。したがって、メインワード線が選択されたとき、このメインワード線に対応して配置される4本のサブワード線のうち1つがサブワード線デコーダ50a～50dそれぞれからのサブワード線デコード信号に従って指定される。サブワード線ドライバ18a～18d、19a～19d、および20a～20dは、それぞれ対応のサブワード線をサブワード線デコード信号とメインワード線上の信号に従って対応のサブワード線を選択状態へ駆動するサブワード線駆動回路を含む(この構成については後に説明する)。さらに非選択サブワード線へ伝達する負電圧VNWを発生する負電圧発生回路75が設けら

れる。

【0042】この図1に示す構成においては、ブロックデコーダ54から出力されるブロック選択信号BS0～BS3が指定するメモリセルアレイにおいて行選択動作が行なわれる。次に各部の構成について説明する。

【0043】[プリデコーダの構成]図2(A)は、アドレス信号A0～A9とロウプリデコード信号X0～X15およびブロック選択信号BS0～BS3の対応関係を一覧にして示す図である。図2(A)に示すように、ロウプリデコーダ52は、アドレス信号A0～A8を、2ビットずつプリデコードして、4組のロウプリデコード信号を生成する。アドレス信号A0およびA1からロウプリデコード信号X0～X3が生成され、アドレス信号A2およびA3から、ロウプリデコード信号X4～X7が生成され、アドレス信号A4およびA5からロウプリデコード信号X8～X11が生成され、アドレス信号A6およびA7からロウプリデコード信号X12～X15が生成される。各組において1つのロウプリデコード信号が選択状態へ駆動される。

【0044】図2(B)は、ロウプリデコーダ入力部の構成を示す図である。図2(B)において、ロウプリデコーダ52は、アドレス信号A0およびA1を反転して補のアドレス信号/A0および/A1を生成するインバータ52aaおよび52abを含む。この4ビットのアドレス信号A0、/A0、A1および/A1からロウプリデコード信号X0～X3の1つが選択状態へ駆動される。なおこの図2(B)に示す相補アドレス信号を生成する構成は、アドレスバッファ(図示せず)において設けられてもよい。

【0045】図2(C)は、ロウプリデコーダ52のプリデコード部の構成を示す図である。図2(C)において、ロウプリデコーダ52は、プリデコーダ活性化信号RADEとアドレス信号/A0および/A1を受けるNAND回路52baと、NAND回路52aの出力信号を反転してロウプリデコード信号X0を出力するインバータ52bbと、アドレス信号A0および/A1とプリデコーダ活性化信号RADEを受けるNAND回路52caと、NAND回路52caの出力信号を反転してロウプリデコード信号X1を出力するインバータ52cbと、プリデコーダ活性化信号RADEとアドレス信号/A0およびA1を受けるNAND回路52daと、NAND回路52daの出力信号を受けて反転してロウプリデコード信号X2を出力するインバータ52dbと、アドレス信号A0およびA1とロウプリデコーダ活性化信号RADEとを受けるNAND回路52eaと、NAND回路52eaの出力信号を反転してロウプリデコード信号X3を出力するインバータ52ebを含む。プリデコーダ活性化信号RADEは、たとえばロウアドレスストロブ信号/RASの活性化にตอบสนองして活性化される。他のロウプリデコード信号X4～X15を生成するプリデコー

ド部においても同様の構成が設けられ、それぞれ対応の2ビット（相補4ビット）のアドレス信号に従ってロウブリデコード信号を生成する。

【0046】ブロックデコーダ54もこの図2（C）に示す構成と同様の構成を備え、アドレス信号A8およびA9に従ってブロック選択信号BS0～BS3の1つを選択状態へ駆動する。

【0047】[サブワード線デコーダの構成] 図3

(A) は、メモリセルアレイ1aに対して設けられたサブワード線デコーダ50aの構成を示す図である。図3

(A)において、サブワード線デコーダ50aは、ブロック選択信号BS0とロウブリデコード信号X3とを受けてサブワード線デコード信号/SD3を出力するNAND回路50aaと、NAND回路50aaの出力信号を反転してサブワード線デコード信号SD3を出力するレベル変換機能付インバータ50abを含む。NAND回路50aaは、外部から与えられる電源電圧レベルまたはこの外部から与えられる電源電圧を内部で降圧して生成される内部電源電圧を一方動作電源電圧として受ける。レベル変換機能付インバータ50abは、サブワード線デコード信号SD3のHレベルを、外部から与えられる電源電圧または内部電源電圧よりもさらに高い昇圧された高電圧VPPレベルに変換する。

【0048】サブワード線デコーダ50aは、さらに、ブロック選択信号BS0とロウブリデコード信号X2を受けるNAND回路50acと、NAND回路50acの出力信号を受けるレベル変換機能付インバータ50adと、ブロック選択信号BS0とロウブリデコード信号X1を受けるNAND回路50aeと、NAND回路50aeの出力信号を受けるレベル変換機能付インバータ50afと、ブロック選択信号BS0とロウブリデコード信号X0を受けるNAND回路50agと、NAND回路50agの出力信号を受けるレベル変換機能付インバータ50ahを含む。

【0049】NAND回路50ac、50aeおよび50agから補のサブワード線デコード信号/SD2、/SD1および/SD0がそれぞれ出力され、レベル変換機能付インバータ50ad、50af、および50ahからサブワード線デコード信号SD2、SD1およびSD0がそれぞれ出力される。サブワード線デコード信号SD0～SD3は、振幅が昇圧高電圧VPPレベルであり、一方補のサブワード線デコード信号/SD0～SD3は、その振幅がチップへ与えられる電源電圧または内部降圧された電源電圧レベルである。

【0050】他のメモリセルアレイ1b～1dそれぞれに設けられるサブワード線デコーダ50b～50dもそれぞれ図3（A）に示す構成と同様の構成を備え、対応のブロック選択信号BS1～BS3の活性化時デコード動作を行なう。

【0051】ロウブリデコード信号X0～X3のうち1

つがHレベルとなり、NAND回路50aa～50agの出力信号の1つがLレベルとなり、一方、レベル変換機能付インバータ50ab、50ad、50afおよび50ahの出力信号の1つが昇圧高電圧VPPレベルとなる。これにより、メインワード線により指定される4本のサブワード線のうち1つが選択される。

【0052】図3（B）は、図3（A）に示すレベル変換機能付インバータの構成の一例を示す図である。図3（B）において、レベル変換機能付インバータは、補のサブワード線デコード信号/SDがHレベルのとき導通し、ノードND1を接地電圧VSSレベルに放電するnチャネルMOSトランジスタ55aと、サブワード線デコード信号/SDを反転するインバータ55bと、インバータ55bの出力信号がHレベルのときに導通し、ノードND2を接地電圧VSSレベルに放電するnチャネルMOSトランジスタ55cと、ノードND2の電圧レベルが接地電圧レベルのとき導通し、ノードND1に高電圧VPPを伝達するpチャネルMOSトランジスタ55dと、ノードND1の電圧レベルが接地電圧レベルのときに導通し、ノードND2へ高電圧VPPを伝達するpチャネルMOSトランジスタ55eと、ノードND2の電圧レベルが接地電圧レベルのときに導通し、出力ノードに高電圧VPPを伝達するpチャネルMOSトランジスタ55gと、ノードND2の電圧レベルがHレベル（高電圧VPPレベル）のとき導通し、出力ノードを接地電圧レベルに放電するnチャネルMOSトランジスタ55fを含む。MOSトランジスタ55gおよび55fの接続ノードの出力ノードからサブワード線デコード信号SDが出力される。インバータ55bは、その一方動作電源電圧として内部電源電圧または外部から与えられる電源電圧を受ける。次に動作について簡単に説明する。

【0053】サブワード線デコード信号/SDがLレベルのとき、MOSトランジスタ55aが非導通状態、MOSトランジスタ55cが導通状態となり、ノードND2が接地電圧レベルへ放電される。ノードND2の電圧レベルが低下すると、MOSトランジスタ55dが導通し、ノードND1の電圧レベルを上昇させる。このノードND1の電圧レベルの上昇に応じてMOSトランジスタ55eが非導通状態へ移行する。最終的にノードND2が接地電圧レベル、ノードND1が、高電圧VPPレベルとなる。ノードND2が接地電圧レベルとなると、MOSトランジスタ55gにより出力されるサブワード線デコード信号SDが高電圧VPPレベルのHレベルとなる。

【0054】一方、サブワード線デコード信号/SDがHレベルのとき、MOSトランジスタ55aが導通状態、MOSトランジスタ55cが非導通状態となり、ノードND2がMOSトランジスタ55eを介して充電され、その電圧レベルが高電圧VPPレベルにまで上昇す

る。このノードND2の電圧レベルの上昇により、MOSトランジスタ55gが非導通となり、またMOSトランジスタ55fが導通し、サブワード線デコード信号SDが接地電圧レベルとなる。ノードND1は、MOSトランジスタ55aにより接地電圧レベルに保持される。

【0055】[ロウデコードおよびメインワード線ドライバの構成] 図4は、メモリセルアレイ1aのロウデコード53aおよびメインワード線ドライバ15aの構成を示す図である。図4においては、メインワード線MWL0およびMWL63に対して設けられたロウデコードおよびメインワード線ドライバの部分の構成を代表的に示す。他のメインワード線MWL1～MWL62に対しても同様の構成が設けられる。メインワード線MWL0に対しては、ロウデコード回路53aおよびメインワード線ドライブ回路15aaが設けられ、メインワード線MWL63に対しては、ロウデコード回路53axおよびメインワード線ドライブ回路15axが設けられる。ロウデコード回路53aaは、ロウブリデコード信号X8およびX12を受けるNAND回路61aと、ロウブリデコード信号X4がHレベルのときに導通し、NAND回路61aの出力信号をワード線ドライブ回路15aaへ伝達するnチャネルMOSトランジスタ61bを含む。

【0056】ロウデコード回路53axも、このロウデコード回路53aaと同様の構成を備え、ロウブリデコード信号X7、X11およびX15に従って対応のメインワード線MWL63を指定するワード線選択信号を出力する。

【0057】メインワード線ドライブ回路15aa～15axに対し共通に、メインワード線ドライブ回路を活性化するために、ブロック選択信号BS0とリセット信号ZXRSTを受けるNAND回路58aと、NAND回路58aの出力信号を反転するレベル変換機能付インバータ58bが設けられる。このインバータ58bの出力信号がHレベルとなると、メインワード線ドライバ15aが活性化され、対応のロウデコード回路から与えられた信号に従って対応のメインワード線を選択状態へ駆動する。リセット信号ZXRSTは、スタンバイサイクル時、Lレベルの活性状態となる。アクティブサイクルが始まると、このリセット信号ZXRSTは、Hレベルとなる。したがって、ブロック選択信号BS0がHレベルとなり、メモリセルアレイ1aを指定するときに、メインワード線ドライバ15aが活性化される。

【0058】メインワード線ドライブ回路15aaは、インバータ58bの出力信号がLレベルのとき導通し、ノードND3へ高電圧VPPを伝達するpチャネルMOSトランジスタ62aと、ノード62b上の信号を反転するインバータ62cと、インバータ62cの出力信号を反転してメインワード線MWL0上に伝達するインバータ62dと、インバータ62cの出力信号がLレベル

のときに導通し、ノードND3を高電圧VPPに駆動するpチャネルMOSトランジスタ62bを含む。メインワード線MWL63に設けられたメインワード線ドライブ回路15axも同様の構成を備える。次に、この図4に示すロウデコード回路およびメインワード線ドライブ回路の動作について説明する。

【0059】リセット信号ZXRSTがLレベルのとき、インバータ58bの出力信号がLレベルとなり、MOSトランジスタ62aが導通し、ノードND3は高電圧VPPにプリチャージされる。この状態においては、インバータ62cおよび62dにより、メインワード線MWL0は、高電圧VPPレベルにプリチャージされる。すなわち、非選択メインワード線は、高電圧VPPレベルに保持される。

【0060】アクティブサイクルが始まると、リセット信号ZXRSTがHレベルとなる。メモリセルアレイ1aが指定されるとき、ブロック選択信号BS0がHレベルとなり、インバータ58bの出力信号がLレベルから高電圧VPPレベルとなり、pチャネルMOSトランジスタ62aが非導通状態となる。ロウブリデコード信号X4、X8およびX12がすべてHレベルのとき、メインワード線ドライブ回路15aaのノードND3がLレベルとなり、メインワード線MWL0が、接地電圧レベルのLレベルに駆動される。すなわち、選択メインワード線の電圧レベルは接地電圧レベルである。

【0061】pチャネルMOSトランジスタ62bが設けられているのは、MOSトランジスタ61bが非導通状態のとき、ノードND3を高電圧VPPレベルに保持するためである。すなわち、非選択メインワード線においては、ノードND4がLレベルとなり、MOSトランジスタ62bが導通し、ノードND3を高電圧VPPレベルに保持する。このpチャネルMOSトランジスタ62bの電流駆動力は、インバータ62cの出力ノードND4の駆動力よりも十分小さくされており、選択メインワード線は対応のロウデコード回路からのLレベルの出力信号に従って接地電圧レベルへ駆動される。また、ロウデコード回路においてMOSトランジスタ61bは、ノードND3が高電圧VPPレベルのとき、この高電圧がNAND回路61aに伝達されるのを防止するデカップリングトランジスタとしての機能をも有する。

【0062】[サブワード線ドライバの構成] 図5は、メモリセルアレイ1aに対して設けられたサブワード線ドライバの構成を示す図である。図5においては、メインワード線MWL0およびMWL63に対して設けられるサブワード線ドライブ回路の構成を示す。図5に示すように、メモリセルアレイ1aにおいては、サブアレイ16aおよび17a上にわたってメインワード線MWL0～MWL63が行方向に延在して配置される。メインワード線MWL0～MWL63のそれぞれに対応して、サブアレイ16aおよび17aそれぞれにおいて4本の

サブワード線が配置される。サブアレイ16aにおいては、メインワード線MWL0に対して、サブワード線SWL0a、SWL1a、SWL2aおよびSWL3aが配設され、サブアレイ17aにおいては、サブワード線SWL0b、SWL1b、SWL2b、およびSWL3bが配置される。メインワード線MWL63に対して、サブアレイ16aにおいては、サブワード線SWL252a、SWL253a、SWL254aおよびSWL255aが設けられ、サブアレイ17aにおいては、サブワード線SWL252b、SWL253b、SWL254bおよびSWL255bが設けられる。

【0063】サブワード線それぞれに対応して、対応のメインワード線上の信号と対応のサブワード線デコード信号とに従って対応のサブワード線を選択状態へ駆動するためのサブワード線ドライブ回路が配置される。サブアレイ16aの偶数番号のサブワード線に対しては、サブワード線ドライバ18aにおいてサブワード線ドライブ回路ASDR0、ASDR2、…、ASDR252、およびASDR254が設けられる。サブアレイ16aおよび17aの奇数番号のサブワード線に対しては、サブワード線ドライバ19aにおいてサブワード線ドライブ回路SDR1、SDR3、…、SDR253、およびSDR255が配置される。サブワード線ドライバ19aは、サブアレイ16aおよび17aそれぞれに含まれる対応のサブワード線を同時に選択状態へ駆動する。サブアレイ17aの偶数番号のサブワード線に対しては、サブワード線ドライバ20aにおいてサブワード線ドライブ回路BSDR0、BSDR2、…、BSDR252、およびBSDR254が設けられる。

【0064】1つのメインワード線に対し4本のサブワード線が配置され、4本のサブワード線のうちの1つを選択するために、サブワード線デコード信号が与えられる。1つのメインワード線に対して設けられる4つのサブワード線ドライブ回路には、したがってそれぞれ異なるサブワード線デコード信号が与えられる。

【0065】サブワード線デコード回路の各々は、対応のサブワード線デコード信号/SD（/SD0～/SD3のいずれか）に従って対応のサブワード線を非選択状態へおくためのnチャネルMOSトランジスタと、対応のメインワード線上の信号電位に従って対応のサブワード線デコード信号SD（SD0～SD3のいずれか）を対応のサブワード線に伝達するpチャネルMOSトランジスタを含む。nチャネルMOSトランジスタは、負電圧発生回路75から与えられる負電圧NWを対応のサブワード線に伝達する。

【0066】たとえば、サブワード線ドライブ回路ASDR0は、サブワード線デコード信号SD0がHレベルのとき導通し、サブワード線SWL0a上に負電圧VNWを伝達するnチャネルMOSトランジスタ78と、対応のメインワード線MWL0上の信号電位がLレベルの

とき導通し、対応のサブワード線デコード信号SD0をサブワード線SWL0a上に伝達するpチャネルMOSトランジスタ77を含む。サブワード線ドライブ回路ASDR2は、メインワード線MWL0上の信号がLレベルのとき導通し、サブワード線デコード信号SD2を対応のサブワード線SWL2a上に伝達するpチャネルMOSトランジスタ79と、サブワード線デコード信号/SD2がHレベルのとき導通し、負電圧VNWをサブワード線SWL2a上に伝達するnチャネルMOSトランジスタを含む。

【0067】サブワード線ドライブ回路ASDR252は、メインワード線MWL63上の信号がLレベルのとき導通し、サブワード線デコード信号SD0をサブワード線SWL252a上に伝達するpチャネルMOSトランジスタ86と、サブワード線デコード信号/SD0がHレベルのときに導通し、負電圧VNWをサブワード線SWL250a上に伝達するnチャネルMOSトランジスタ87を含む。サブワード線ドライブ回路ASDR254は、メインワード線MWL63がLレベルのとき導通し、サブワード線デコード信号SD2をサブワード線SWL254a上に伝達するpチャネルMOSトランジスタ88と、サブワード線デコード信号/SD2がHレベルのときに導通し、負電圧VNWをサブワード線SWL254a上に伝達するnチャネルMOSトランジスタ89を含む。

【0068】サブワード線ドライブ回路SDR1は、メインワード線MWL0上の信号とサブワード線デコード信号SD1および/SD1に従ってサブワード線SWL1aおよびSWL1bを駆動する。サブワード線ドライブ回路SDR3は、サブワード線デコード信号SD3および/SD3とメインワード線MWL0上の信号に従ってサブワード線SWL3aおよびSWL3bを駆動する。サブワード線ドライブ回路SDR253は、サブワード線デコード信号SD0および/SD0とメインワード線MWL63上の信号に従ってサブワード線SWL253aおよびSWL253bを駆動する。サブワード線ドライブ回路SDR255は、メインワード線MWL63上の信号とサブワード線デコード信号SD3および/SD3に従ってサブワード線SWL255aおよび255bを駆動する。

【0069】同様、サブワード線ドライブ回路BSDR0はメインワード線MWL0上の信号とサブワード線デコード信号SD0および/SD0に従ってサブワード線SWL0bを選択状態へ駆動する。サブワード線ドライブ回路BSDR2、BSDR252、およびBSDR254もそれぞれ対応のメインワード線上の信号とサブワード線デコード信号とに従って対応のサブワード線SWL2b、SWL252b、SWL254bを選択状態へ駆動する。

【0070】1つのサブワード線ドライブ回路は、nチ

チャネルMOSトランジスタとpチャネルMOSトランジスタの2個で構成されており、従来に比べて、構成要素数が低減され、回路占有面積を低減することができる。次に動作について説明する。

【0071】今、サブワード線SWL0aが選択される場合を考える。この場合には、サブワード線SWL0bも同時に選択される。メインワード線MWL0が高電圧VPPから接地電圧レベルへ駆動され、サブワード線ドライブ回路ASDR0においてpチャネルMOSトランジスタ77が導通し、サブワード線デコード信号SD0がサブワード線SWL0a上に伝達される。サブワード線デコード信号SD0は選択時、高電圧VPPレベルであり、サブワード線SWL0aが接地電圧レベルから高電圧レベルに駆動される。同様、サブワード線ドライブ回路BSDR0においても、pチャネルMOSトランジスタが導通し、高電圧VPPレベルのサブワード線ドライブデコード信号SD0がサブワード線SWL0b上に伝達される。

【0072】サブワード線ドライブ回路ASDR2においては、サブワード線SWL2aは負電圧VNWレベルにあり、pチャネルMOSトランジスタ79が非導通を維持し、接地電圧レベルのワード線デコード信号SD2がサブワード線SWL2a上に伝達されず、サブワード線SWL2aは負電圧VNWレベルの非選択状態を維持する。このとき、pチャネルMOSトランジスタ79がサブワード線SWL2a上に伝達することのできる電圧は、接地電圧よりもそのしきい値電圧の絶対値高い電圧レベルであり、サブワード線SWL2aを接地電圧レベルへ駆動することはできない。nチャネルMOSトランジスタ80は、そのゲートに接地電圧を受け、ソースへは、負電圧発生回路75からの負電圧VNWが与えられており、nチャネルMOSトランジスタ80は、弱いオン状態となり、このサブワード線SWL2aを負電圧レベルに保持する（サブワード線は非選択状態時すなわちスタンバイ状態時、負電圧レベルである）。

【0073】メインワード線MWL63は高電圧VPPレベルに保持される。したがって、サブワード線ドライブ回路ASDR252においては、MOSトランジスタ86が非導通状態となり、一方、nチャネルMOSトランジスタ87は、Lレベルのワード線サブデコード信号/SD0に従って弱いオン状態になり、サブワード線SWL252aを負電圧VNWレベルに保持する。他のサブワード線ドライブ回路においても同様であり、したがって、サブワード線SWL0aおよびSWL0bのみが高電圧VPPレベルに駆動され、残りのサブワード線は、負電圧VNWのレベルに保持される（サブワード線は、スタンバイ状態時、負電圧VNWレベルに保持される）。

【0074】すなわち、2個のMOSトランジスタを用いてサブワード線ドライブ回路を構成しても、放電用の

MOSトランジスタのソース電位を高電圧および接地電圧と極性の異なる負電圧とすることにより、対応のサブワード線がフローティング状態となるのを防止することができ、確実に、対応の非選択サブワード線を負電圧レベルに保持することができる。

【0075】なお、サブワード線ドライブ回路ASDR0において、MOSトランジスタ77が導通状態にありサブワード線SWL0aを高電圧VPPレベルに駆動しているとき、MOSトランジスタ78は、弱いオン状態にあり、サブワード線SWL0aから負電圧発生回路75へ弱い電流を流す。この場合、MOSトランジスタ77は、強いオン状態の導通状態にあり、十分な電流駆動力を持ってサブワード線SWL0aを高電圧VPPレベルを供給しており、サブワード線上の電圧レベルは十分に所定の高電圧レベルに保持される。

【0076】なおここで、「オン状態」は、有意のリーク電流を含めて電流が流れる状態を示し、「導通状態」は、完全にオン状態となった場合を示し、また「非導通状態」は、完全にオフ状態となった状態を示すものとする。

【0077】このサブワード線ドライブ回路の放電用のMOSトランジスタが非導通状態となるべきときに弱いオン状態とし、そのソースドレイン間抵抗を、pチャネルMOSトランジスタが非導通状態となるときのそれよりも小さくすることにより、対応のサブワード線を所定の電圧レベルに保持することができる。このリーク電流は、動作時に流れる動作電流に比べて十分小さい値

（たとえば10 $\mu$ A程度）に設定することにより、ほぼ無視することができる電流の大きさであり、特に問題は生じない。スタンバイ状態時においてはすべてのサブワード線SWLが負電圧VNWレベルに駆動されれば、放電用MOSトランジスタのソースおよびドレインが同じ電圧レベルとなり、リーク電流は生じない（対応のpチャネルMOSトランジスタは非導通状態にあるため）。

【0078】〔負電圧発生回路の構成〕図6は、図1に示す負電圧発生回路75の構成の一例を示す図である。図6において、負電圧発生回路75は、負電圧VNWの電圧レベルを検出するレベル検出回路75aと、レベル検出回路75aのノード90上の信号に従って活性化され、発振動作を行なうリング発振器75bと、リング発振器75bの出力信号に従ってチャージポンプ動作を行なって負電圧VNWを発生するチャージポンプ回路75cを含む。

【0079】レベル検出回路75aは、電源ノードとノード90の間に接続され、かつそのゲートに接地電圧VSSを受けて定電流源として作用するpチャネルMOSトランジスタ75aaと、負電圧供給ノードとノード90の間に接続されかつそのゲートが接地ノードに接続されるnチャネルMOSトランジスタ75abを含む。pチャネルMOSトランジスタ75aaは、たとえば10

$\mu\text{A}$ の大きさの電流を流すようにそのゲートの幅と長さの比が設定される。MOSトランジスタ75abはサブワード線ドライブ回路の放電用のMOSトランジスタ78、80、87および89と同じサイズを備える。

【0080】リング発振器75bは、ノード90上の信号を一方入力に受けるNAND回路75baと、NAND回路75baの出力信号を受ける2段の縦続接続されたインバータ75bbおよび75bcを含む。インバータ75bcの出力信号はまた、NAND回路75baの他方入力に与えられる。

【0081】チャージポンプ回路75cは、リング発振器75bの出力信号を受けるキャパシタ75caと、このキャパシタ75caの電荷注入によるノード91の電圧レベル上昇時、その電圧レベルを、そのしきい値電圧の絶対値 $|V_{thp}|$ レベルにクランプするダイオード接続されたpチャネルMOSトランジスタ75cbと、ノード91の電圧レベルが負電圧VNWよりも低いとき導通し、ノード91へ電荷を伝達するダイオード接続されたpチャネルMOSトランジスタ75ccを含む。次に動作について簡単に説明する。

【0082】レベル検出器75aにおいては、MOSトランジスタ75aaが一定の大きさ（たとえば $10\mu\text{A}$ ）の電流を供給する。負電圧VNWの電圧レベルが高いとき、MOSトランジスタ75abは、そのゲートソース間電圧が低く、このMOSトランジスタ75aaの供給する電流をすべて放電できず、ノード90上の電圧レベルはHレベルとなり、リング発振器75bが活性化され発振動作を行ない、チャージポンプ回路75cにより、負電圧VNWの電圧レベルを低下させる。一方、この負電圧VNWの電圧レベルが低下すると、MOSトランジスタ75abは、そのゲートソース間電圧が大きくなり、MOSトランジスタ75aaから供給される電流を放電し、ノード90の電圧レベルがLレベルとなり、リング発振器75bは、発振動作を停止する。したがってこの場合は、チャージポンプ回路75cは動作せず、負電圧VNWの電圧レベルはそれ以上より負となるのが防止される。

【0083】したがって、負電圧VNWは、MOSトランジスタ75abが流す電流が、MOSトランジスタ75aaが流す電流と同じ大きさの電流となるような電圧レベルに設定される。このMOSトランジスタ75abは、サブワード線ドライブ回路の放電用nチャネルMOSトランジスタとサイズが同じである。したがって、負電圧VNWは、各サブワード線ドライブ回路において、ゲート電圧が接地電圧レベルのとき、最大 $10\mu\text{A}$ 程度の電流が流れるような弱いオン状態となるような電圧レベルに設定される。

【0084】なお、このサブワード線ドライブ回路において、放電用MOSトランジスタにおいてリーク電流が流れるのは、対応のサブワード線が選択状態へ駆動され

かつこの放電用MOSトランジスタのゲートが接地電圧レベルに保持されるときである。したがって、選択ワード線において、 $10\mu\text{A}$ 程度のリーク電流が流れる。非選択サブワード線において充電用pチャネルMOSトランジスタに対し、Lレベルのワード線サブデコード信号が伝達されても、放電用MOSトランジスタはそのゲートに電源電圧レベルのHレベルの信号を受けて導通し、高速で対応のサブワード線を負電圧レベルに放電する。この場合においても、充電用pチャネルMOSトランジスタは、ゲートが接地電圧、ドレインが接地電圧となり、ソースが負電圧レベルに駆動され、オフ状態を維持し、確実に、非選択ワード線は負電圧レベルに駆動される。この後は、リーク電流は生じない。したがって、単にリーク電流は選択サブワード線において生じるだけである。このリーク電流の大きさは、同時に選択されるサブワード線の数またはメインワード線の数に応じて適当な値に定められればよい。

【0085】以上のように、この発明の実施の形態1に従えば、サブワード線ドライブ回路を、2つのMOSトランジスタで構成しているため、従来の構成に比べて構成要素数を低減することができ、回路占有面積を低減することができる。また、負電圧をサブワード線ドライバへ与え、非選択サブワード線を負電圧レベルへ駆動するように構成しているため、またサブワード線デコード信号は接地電圧レベルのLレベルであり、サブワード線ドライブ回路の放電用MOSトランジスタは、弱いオン状態を維持し、非選択サブワード線がフローティング状態になるのを防止することができる。

【0086】〔実施の形態2〕図7は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。図7においては、1本のメインワード線MWLと1本のサブワード線SWLに対して設けられるサブワード線ドライブ回路SDRの構成を示す。この図7に示すサブワード線ドライブ回路の構成は、図17に示す従来のサブワード線ドライブ回路のそれと同じであるが、非選択サブワード線SWLへは、接地電圧に代えて負電圧VNWが伝達される。他の構成は図17に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0087】この図7に示す構成においては、スタンバイサイクル時には、MOSトランジスタNQ1およびNQ2がともに導通し、サブワード線SWLは負電圧VNWに保持される。アクティブサイクルにおいて、選択サブワード線SWLは、MOSトランジスタPQを介して高電圧VPPレベルに駆動される。このとき、弱いオン状態のMOSトランジスタNQ1およびNQ2を介して負電圧発生回路へリーク電流が流れる。しかしながら、図6に示す負電圧発生回路のレベル検出器に含まれるMOSトランジスタ75abのゲート幅とゲート長の比が、MOSトランジスタNQ1およびNQ2それぞれのゲート長とゲート幅の比の2倍に設定されていれ



ば、先の実施の形態1の場合と同様、小さなリーク電流で所望の高電圧VPPレベルに選択サブワード線が保持される。

【0088】非選択サブワード線に対しては、MOSトランジスタNQ1およびNQ2の少なくとも一方が導通状態にあり、確実に、サブワード線SWLは負電圧VNWに保持される。

【0089】この図7に示すように、非選択状態のサブワード線SWLに負電圧VNWを伝達することにより、以下の利点が得られる。メモリセルMCのアクセストランジスタQMのゲートがサブワード線SWLに接続される。サブワード線SWLが非選択状態のとき、このアクセストランジスタQMが、より強いオフ状態となり、キャパシタCMからビット線BLへの電荷の流出が防止される。特にアクティブサイクル時において隣接サブワード線が選択され、ワード線間容量などによりこの非選択サブワード線SWLの電圧レベルが上昇しても、十分にアクセストランジスタQMはオフ状態を維持するため、キャパシタCMの電荷の流出が確実に防止され、電荷保持特性の優れた半導体記憶装置を実現することができる。アクティブサイクルにおいてビット線BLの電圧レベルが接地電圧レベルにセンスアンプにより駆動された場合においても同様キャパシタCMの電荷の流出が防止される。したがって、サブワード線が非選択状態のときには、負電圧VNWを伝達することにより、電荷保持特性の優れた半導体記憶装置を実現することができる。負電圧VNWが消費されるのは、ワード線が選択状態から非選択状態へ駆動されるときである。選択サブワード線の数は小さいため、負電圧発生回路の駆動力はそれほど大きいものは要求されない。したがって、メインワード線ドライブ回路およびサブワード線デコーダ両者へ負電圧VNWを与える構成に比べて、負電圧発生回路75の構成素子の占有面積を低減することができ、回路占有面積を大幅に増加させることなく電荷保持特性に優れた半導体記憶装置を実現することができる。

【0090】【実施の形態3】図8は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を示す図である。図8においては、メモリセルアレイ1aのサブワード線ドライブの構成を示す。他のメモリセルアレイにおいても同様の構成が設けられる。この図8に示す実施の形態3に従う半導体記憶装置は、図5に示す実施の形態1の半導体記憶装置と以下の点において異なっている。すなわち、サブワード線デコード信号としては、デコード信号SD0～SD3のみが用いられる。補のサブワード線デコード信号/SD0～/SD3は用いられない。また、サブワード線ドライブ回路ASDR0～ASDR254、SDR1～SDR255、BSDR0～BSDR254の構成要素は、pチャネルMOSトランジスタ104とnチャネルMOSトランジスタ105であるが、その接続が異なる。

【0091】すなわち、サブワード線ドライブ回路SDR(ASDR0～ASDR254、SDR1～SDR253、BSDR0～BSDR254)の各々は、対応のメインワード線MWL(MWL0～MWL63)が選択状態のとき導通し、対応のサブワード線デコード信号SD(SD0～SD3)を対応のサブワード線SWL上に伝達するpチャネルMOSトランジスタ104と、対応のメインワード線MWLが非選択状態のとき導通し、対応のサブワード線SWL上に負電圧VNWを伝達するnチャネルMOSトランジスタ105を含む。

【0092】この図8に示す構成においては、サブワード線デコード信号線51aは、4本の信号線のみを含み、したがって、配線占有面積が低減される。また、補のサブワード線デコード信号/SD0～/SD3を駆動する必要がなく、消費電力が低減される。次に動作について説明する。

【0093】すべてのサブワード線SWL0～SWL255aおよびSWL0b～SWL255bが非選択状態のときには、メインワード線MWL0～MWL63は非選択状態の高電圧VPPレベルにある。したがって、pチャネルMOSトランジスタ104は非導通状態、nチャネルMOSトランジスタ105が導通状態となり、サブワード線SWL(SWL0～SWL255aおよびSWL0b～SWL255b)はすべて負電圧VNWの電圧レベルに保持される。

【0094】アクティブサイクルが始まると、サブワード線の選択動作が行なわれる。今、サブワード線SWL0aが選択される場合の動作について考える。この場合、サブワード線デコード信号SD0が高電圧VPPレベルに駆動され、残りのサブワード線デコード信号SD1～SD3は接地電圧レベルに保持される。メインワード線MWL0がメインワード線ドライブ回路15aより接地電圧レベルに駆動され、残りのメインワード線MWL1～MWL63は、高電圧VPPレベルに保持される。サブワード線ドライブ回路ASDR0においては、pチャネルMOSトランジスタ104が導通し、高電圧VPPをサブワード線SWL0a上に伝達する。nチャネルMOSトランジスタ105は、弱いオン状態にあり、サブワード線SWL0aから負電圧発生部へリーク電流を流す。しかしながら、このMOSトランジスタ105の供給するリーク電流量は極めて小さく、MOSトランジスタ104は強いオン状態(導通状態)にあるため、選択サブワード線SWL0aは昇圧電圧VPPレベルに駆動されて保持される。

【0095】サブワード線ドライブ回路ASDR2においては、同様、このpチャネルMOSトランジスタは非導通状態にあり、接地電圧レベルのサブワード線デコード信号SD2はサブワード線SWL2a上に伝達されない。このサブワード線ドライブ回路SDR2においては、サブワード線SWL2a上の電圧が接地電圧レベル



となると、このpチャネルMOSトランジスタは、ゲート、ソース、ドレインの電圧がすべて同じとなり、非導通状態となる。一方、このサブワード線ドライブ回路ASDR2においては、nチャネルMOSトランジスタが弱いオン状態にあり、このサブワード線SWL2aを負電圧VNWレベルに保持する。これにより、非選択サブワード線SWL2aがフローティング状態になるのが防止される。

【0096】残りの非選択メインワード線MWL1～MWL63に接続するサブワード線ドライブ回路においては、pチャネルMOSトランジスタが非導通状態、nチャネルMOSトランジスタが導通状態となり、対応のサブワード線は負電圧VNWレベルに保持される。

【0097】メインワード線MWL0に接続される残りのサブワード線ドライブ回路SDR1、SDR3、BSDR0およびBSDR2においても、同様、pチャネルMOSトランジスタが非導通状態、nチャネルMOSトランジスタが弱いオン状態となり、各サブワード線は負電圧レベルに保持される。サブワード線SWL0bは、サブワード線ドライブ回路BSDR0により、サブワード線デコード信号SD0に従って選択状態の高電圧VPPレベルに駆動される。

【0098】以上のように、この発明の実施の形態3に従えば、サブワード線ドライブ回路を2個のMOSトランジスタで構成し、またサブワード線デコード信号は、補のサブワード線デコード信号を使わないように構成しているため、回路占有面積を低減することができまたアレイ占有面積も低減することができる（配線占有面積が低減されるため）。また、補のサブワード線デコード信号を駆動する必要がなく、消費電力が低減される。

【0099】【実施の形態4】図9は、この発明の実施の形態4に従う半導体記憶装置の全体の構成を概略的に示す図である。図9においては、1つのメモリセルアレイ1aの構成を代表的に示す。メモリセルアレイ1aは4つのブロックMBK#0～MBK#3に分割される。メモリセルアレイ1aにおいて行方向に沿って整列するサブアレイブロックを含むブロックMBK#0～MBK#3それぞれに対し、ワード線選択回路110a0～110a3が設けられる。これらのワード線選択回路110a0～110a3は、それぞれ対応のメモリブロックMBK#0～MBK#3におけるメインワード線およびサブワード線デコード信号を生成する。

【0100】メモリブロックMBK#0～MBK#3それぞれにおいては8本のメインワード線が配設され、1つのメインワード線に対して、8本のサブワード線が配設される。これは後に説明するが、サブワード線デコード信号として、実施の形態3におけるように、補のサブワード線デコード信号を利用しないため、この補のサブワード線デコード信号に代えて、追加の真のサブワード線デコード信号を生成する。メモリブロックMBK#0

～MBK#3それぞれにおいて、8本のサブワード線デコード信号線SD0～SD7が配設される。このサブワード線デコード信号線SD0～SD7は、メインワード線と平行してかつ同層に配設され、かつ交互に配設される。メモリブロック単位でサブワード線デコード信号が生成される。

【0101】サブアレイブロック16a0～16a3に対して、サブワード線ドライバ18a0～18a3およびサブワードドライバ19a0～19a3が配設され、またサブアレイブロック17a0～17a3に対しサブワード線ドライバ19a0～19a3および20a0～20a3が配設される。このサブワード線ドライバ領域において、対応のワード線選択回路から出力されるサブワード線デコード信号を伝達する信号線が延在して配置される。すなわち、メモリブロックMBK#0～MBK#3それぞれにおいて対応のサブワード線ドライバ配設領域に対してのみ、サブワード線デコード信号線が配設される。したがって、メモリセルアレイ1aの全体にわたって列方向に沿ってサブワード線デコード信号を対応のサブワード線ドライバへ伝達する構成に比べて、サブワード線デコード信号を伝達する配線長さを短くすることができ、また応じてそれに接続されるサブワード線ドライバの数も低減され、負荷容量が軽減され高速でサブワード線デコード信号を伝達することができる。また、負荷容量が小さいため、サブワード線デコード信号駆動時の消費電力も低減することができる。

【0102】ワード線選択回路110a0～110a3は、ロウプリデコード107からのプリデコード信号X0～X15に従ってメインワード線およびサブワード線デコード信号を駆動する。ロウプリデコード107は、プリデコード信号X16～X19を生成し、ワード線選択回路110a0～110a3を選択的に活性化する。ワード線選択回路110a0～110a3は、対応のロウプリデコード信号X16～X19が活性化されかつブロックデコード54からのブロック選択信号BS0が活性状態のときに、デコード動作を実行してメインワード線およびサブワード線デコード信号線を駆動する。図10は、図9に示すロウプリデコード107におけるアドレス信号とプリデコード信号の対応関係を示す図である。図10において、アドレス信号A0～A2により、プリデコード信号X0～X8が生成され、アドレス信号A3～A5により、プリデコード信号X8～X15が生成され、アドレス信号A6およびA7により、プリデコード信号X16～X19が生成される。アドレス信号A8およびA9は、ブロックデコード54へ与えられ、ブロック選択信号BS0～BS3が選択的に活性化される。

【0103】ロウプリデコード信号X0～X7は、1つのメインワード線に対して設けられた8本のサブワード線のうちの1つを指定する。プリデコード信号X8～X

15は、対応のメモリブロックにおける8本のメインワード線の1つを指定する。プリデコード信号X16-X19は、メモリブロックMBK#0~MBK#3を指定する。ブロック選択信号BS0-BS3は、メモリセルアレイを指定する。したがって、プリデコード信号X16-X19により指定されたメモリブロック内においてプリデコード信号X8-X15が指定するメインワード線が選択状態へ駆動される。プリデコード信号X0-X7により、この選択メインワード線に対して設けられた8本のうちの1つのサブワード線が選択される。

【0104】メモリブロックMBK#0がプリデコード信号X16の活性化により指定されたとき、メインワード線MWL0-BWL7のうちの1つが選択される。プリデコード信号X17が活性化され、メモリブロックMBK#1が指定されたときには、メインワード線MWL8-MWL15のうちの1つが選択される。プリデコード信号X18により、メモリブロックMBK#2が指定されたとき、メインワード線MWL16-MWL23のうちの1つが選択される。またプリデコード信号X19が活性化されてメモリブロックMBK#3が指定されたときには、メインワード線MWL24-MWL31の1つが選択される。

【0105】図11は、図9に示すメモリブロックMBK#0の構成を概略的に示す図である。メモリブロックMBK#1~MBK#3それぞれにおいても同様の構成が設けられる。

【0106】図11において、メモリブロックMBK#0においては、8本のメインワード線MWL0~MWL7が配設される。これらのメインワード線MWL0~MWL7それぞれに対応してメインワード線ドライブ回路MDR0~MDR7が設けられる。このメインワード線MWL0~MWL7と平行にかつ同一配線層にサブワード線デコード信号線SD0a~SD7aが配設される。これらのサブワード線デコード信号線SD0a~SD7aは、メインワード線MWL0~MWL7と交互に配設される。これらのサブワード線デコード信号線SD0a~SD7aそれぞれに対応して、サブワード線デコード回路SWD0~SWD7が設けられる。

【0107】1つのワード線に対して、8本のサブワード線が配置される。したがって、このメモリブロックMBK#0のメモリサブアレイブロック16a0においては、64本のサブワード線SWL0a~SWL63aが配置され、またサブアレイブロック17a0においても64本のサブワード線SWL0b~SWL63bが配置される。サブワード線ドライバ18a0は、メモリサブアレイブロック16a0の偶数番号のサブワード線SWLに対して設けられるサブワード線ドライブ回路ASDRを含み、サブワード線ドライバ19a0は、サブアレイブロック16a0および17a0それぞれに配置される奇数番号のサブワード線に対応して設けられるサブ

ワード線ドライブ回路CSSDRを含み、サブワード線ドライバ20a0は、サブアレイブロック17a0の偶数番号のサブワード線に対して設けられるサブワード線ドライブ回路BSSDRを含む。

【0108】これらのサブワード線ドライバに対してサブワード線デコード信号を伝達するために、メモリブロックMBK#0内において列方向に沿って延在するサブワード線デコード信号伝達線が配置される。サブワード線ドライバ18a0に対しては、サブワード線デコード信号伝達線SSD0a、SSD2a、SSD4aおよびSSD6aが配設される。サブワード線ドライバ19a0に対しては、サブワード線デコード信号伝達線SSD1、SSD2、SSD3、SSD5およびSSD7が配設される。サブワード線ドライバ20a0に対しては、サブワード線デコード信号伝達線SSD0b、SSD2b、SSD4b、およびSSD6bが配設される。これらのサブワード線デコード信号伝達線は、アレイ内部において、同じ番号が付されたサブワード線デコード信号線SD0a~SD7aにそれぞれ接続される。たとえば、サブワード線デコード信号伝達線SSD0aおよびSSD0bは、サブワード線デコード信号線SD0aに接続され、サブワード線デコード信号線SD1aは、サブワード線デコード信号伝達線SSD1に接続される。

【0109】これらのサブワード線デコード信号伝達線は、それぞれ8組のサブワード線に対応して設けられるサブワード線ドライブ回路に対応のサブワード線デコード信号を伝達する。サブワード線ドライブ回路ASDR、CSSDR、およびBSSDRは、この対応のメインワード線上の信号とサブワード線デコード信号伝達線上の信号とに従って対応のサブワード線を選択状態へ駆動する。

【0110】この図11に示す構成においては、サブワード線デコード信号伝達線がメモリブロックMBK#0内においてのみ列方向に沿って延在する。1つのサブワード線デコード信号伝達線に対しては、8個のサブワード線ドライブ回路が接続されるだけである。したがって、これらのサブワード線デコード信号伝達線SSD0a~SSD6a、SSD1~SSD7およびSSD0b~SSD6bの寄生容量は小さく、またその配線長さも従来に比べて短く、高速でサブワード線デコード信号を伝達することができ、かつサブワード線デコード信号駆動時の消費電力を低減することができる。

【0111】また、補のサブワード線デコード信号は用いていないため、サブワード線デコード信号が8本のサブワード線のうちの1つを特定する構成の場合、各サブワード線ドライバに対し4本のサブワード線デコード信号伝達線が配設される。したがってこれは、従来の相補なサブワード線デコード信号線を用いる場合と同じ数のサブワード線デコード信号線が用いられるだけであり、配線占有面積の増加は生じない。

【0112】また、各メインワード線は、8本のサブワード線に対応して配置されるだけであり、隣接メインワード線間に、サブワード線デコード信号線を同一層に配設することができる。また、メインワード線ドライブ回路のピッチも、従来の構成の2倍となるため、その間にサブワード線デコード回路SWDを配置することができる。これにより、アレイ占有面積を増加させることなく、低消費電力で動作する半導体記憶装置を実現することができる。

【0113】図12は、図11に示すサブワード線ドライブ回路の構成を示す図である。図12において、サブワード線ドライブ回路は、メインワード線MWLが選択状態にあるLレベルのとき導通し、サブワード線デコード信号SDiをサブワード線SDLに伝達するpチャネルMOSトランジスタPTと、メインワード線MWが非選択状態にある高電圧VPPレベルのとき導通し、負電圧VNWをサブワード線SWLに伝達するnチャネルMOSトランジスタNTを含む。すなわち、サブワード線ドライブ回路は、2つのMOSトランジスタPTおよびNTにより構成され、実施の形態1と同様サブワード線ドライブの回路占有面積を低減することができる。

【0114】図13は、図11に示すメインワード線ドライブ回路MDR0およびサブワード線デコード回路SWD0と関連の回路の構成を示す図である。図9に示すワード線選択回路110a0は、プリデコード信号X16とブロック選択信号BS0を受けるNAND回路で構成されるデコード回路147と、リセット信号ZXRS Tおよびブロック選択信号BS0に従って行選択動作を活性化する活性制御回路145を含む。デコード回路147は、プリデコード信号X16およびブロック選択信号BS0がともに活性状態のHレベルとなると、このメモリブロックMBK#0が指定されたことを示すLレベルの信号を出力する。活性制御回路145は、リセット信号ZXRS TがHレベルにあり、またブロック選択信号BS0がHレベルのとき、行選択のためのアクティブサイクルが始まりかつこのメモリセルアレイ1aが指定されたことを示し、行選択動作を行なうことを示すHレベルの信号を出力する。

【0115】デコード回路147は、図9に示すワード線選択回路110a0、110a1、110a2、および110a3それぞれに対して設けられ、それぞれ異なるプリデコード信号が与えられる。活性制御回路145も、各メモリブロック毎に設けられる。活性制御回路の出力信号線の配線長さを短くするとともに、各ブロック単位で設けることにより、この活性制御回路の電流駆動力を小さくすることができ、回路占有面積を低減することができる。

【0116】メインワード線ドライブ回路MDR0は、デコード回路147の出力信号をプリデコード信号X8に従って通過させるトランスファゲート150aと、活

性制御回路145の出力信号の活性化時活性化され、トランスファゲート150aから伝達された信号に従って対応のメインワード線MWL0を選択状態へ駆動するメインワード線選択回路150bを含む。このメインワード線選択回路150bの構成は、先の実施の形態1において示すメインワード線ドライブ回路15aの構成と同じである。トランスファゲート150aの出力信号がLレベルのときに、このワード線選択回路150bが、メインワード線MWL0を接地電圧レベルへ駆動する。トランスファゲート150aが非導通状態のときには、ワード線選択回路150bは、プリチャージ状態を維持し、メインワード線MWL0を高電圧VPPレベルに保持する。

【0117】サブワード線デコード回路SWD0は、プリデコード信号X0に従ってデコード回路147の出力信号を通過させるトランスファゲート155aと、活性制御回路145aの出力信号の活性化時活性化され、トランスファゲート155aの出力信号に従ってサブワード線デコード信号線SD0aを駆動するサブワード線選択回路155bを含む。このサブワード線選択回路155bは、メインワード線選択回路150bの構成において、出力段のCMOSインバータが省略されているだけであり、残りの構成は同じである。したがって、このサブワード線デコード回路155bは、活性制御回路145の出力信号がLレベルのときには、サブワード線デコード信号線SD0aを接地電圧レベルに保持し、この活性制御回路145の出力信号がLレベルとなると、転送ゲート155aの伝達する信号に従ってサブワード線デコード信号線SD0aを駆動する。プリデコード信号X0がHレベルでありかつデコード回路147の出力信号がLレベルのときには、サブワード線デコード信号線SD0aは高電圧VPPレベルに駆動される。プリデコード信号X0がLレベルまたはデコード回路147の出力信号がHレベルでかつプリデコード信号X0がHレベルのときには、サブワード線デコード信号線SD0aは、プリチャージ状態の接地電圧レベルに保持される。

【0118】残りのメインワード線ドライブ回路も、同じ構成を有し、それぞれ対応のプリデコード信号(X9~X15のいずれか)が与えられる。サブワード線デコード回路においても、プリデコード信号X1~X7のいずれかが与えられてデコード動作および駆動動作が行なわれる。

【0119】このメインワード線ドライブ回路とサブワード線デコード回路は、ほぼ同じ構成を備える。従来のメインワード線ドライブ回路は、4本のサブワード線のピッチ条件で配置される。したがって、本実施の形態のように、8本のサブワード線に対して1つのメインワード線が設けられる場合、メインワード線ドライブ回路のピッチが従来の2倍となり、その間に、同様の構成を備えるサブワード線デコード回路を容易に配設することが

できる。したがって従来のメインワード線のピッチ条件を何ら変更することなく、メインワード線およびサブワード線デコード信号線を配設することができる。

【0120】〔実施の形態5〕図14(A)は、この発明の実施の形態5に従う半導体記憶装置の要部の構成を示す図である。図14(A)においては、図11に示すメモリブロックMBK#0の部分の構成を示す。図14(A)において、メインワード線MWL0およびMWL1それぞれに対し、図13に示す構成と同様に、メインワード線ドライブ回路150が配置され、またこれらのメインワード線MWL0およびMWL1と平行して、サブワード線デコード信号線SD0aおよびSD1aが配設される。この配設パターンが繰返される。各メモリサブアレイにおいて、メインワード線MWL上の信号を反転するインバータ160が設けられる。このインバータ160は、昇圧高電圧VPPを一方動作電源電圧として受ける。

【0121】先の実施の形態4と同様、各サブアレイにおいて列方向に、サブワード線デコード信号線SD0a、SD1a…の所定のものと電気的に接続されるサブワード線デコード信号伝達線170a、170bおよび170cが配置される。

【0122】サブワード線それぞれに対応して設けられるサブワード線ドライブ回路ASDR、BSDRおよびCSDRは、対応のメインワード線上の信号とインバータの出力信号とサブワード線デコード信号伝達線170a~170cの対応の信号線の信号とに従って対応のサブワード線を選択状態へ駆動する。

【0123】メインワード線ドライブ回路150は、図13に示す構成と異なり、1段のインバータを含み、サブワード線デコード回路155と同じ構成を備える。したがって、選択メインワード線が高電圧VPPレベルに駆動され、一方、非選択メインワード線が接地電圧VSSレベルに駆動される。

【0124】サブワード線それぞれに対応して設けられるサブワード線ドライブ回路は、図14(B)にその構成を示すように、サブワード線デコード信号SDまたは接地電圧VSSを対応のサブワード線SWL上に伝達する。すなわち、サブワード線ドライブ回路は、メインワード線MWL上の信号をMOSトランジスタ165aを介してゲートに受けて、サブワード線デコード信号SDを対応のサブワード線SWLに伝達するnチャネルMOSトランジスタ165bと、インバータの出力する信号/MWLにตอบสนองして導通し、サブワード線SWLに接地電圧VSSを伝達するnチャネルMOSトランジスタ165cを含む。MOSトランジスタ165aは、そのゲートに高電圧VPPを受ける。負電圧は用いられない。

【0125】メインワード線MWLが選択状態にあり、高電圧VPPレベルのとき、MOSトランジスタ165bが導通し、一方、MOSトランジスタ165cは非導

通状態となり、サブワード線SWL上には、サブワード線デコード信号SDが伝達される。サブワード線デコード信号SDが高電圧VPPレベルのとき、MOSトランジスタ165bのセルフブートストラップ作用により、MOSトランジスタ165bのゲート電位が上昇し、高電圧VPPレベルにあるサブワード線デコード信号SDがサブワード線SWLに伝達される。このとき、MOSトランジスタ165aは、そのゲートに高電圧VPPを受けており、非導通状態を維持する。メインワード線MWLが非選択状態のときには、MOSトランジスタ165bが非導通状態、MOSトランジスタ165cが導通状態となり、サブワード線SWLは接地電圧VSSレベルに保持される。

【0126】この図14(A)に示す構成において、サブワード線デコード信号SD0~SD7が用いられ、補のサブワード線デコード信号は用いられない。したがって、配線占有面積は、図11に示す構成と同じであり、サブワード線デコード信号伝達線の配線長が短くなるため、消費電力を低減することができる。他の構成は、負電圧に代えて接地電圧が用いられることを除いて実質的に実施の形態4と同じであり、実施の形態4と同様の効果を得ることができる。また負電圧VNWが用いられてもよい。

【0127】

【発明の効果】以上のように、この発明に従えば、配線占有面積を増加させることなく電力消費を低減することのできる半導体記憶装置を実現することができる。

【0128】すなわち、請求項1の発明に従えば、ワード線駆動回路を、第1および第2の絶縁ゲート型電界効果トランジスタで構成し、この第2の絶縁ゲート型電界効果トランジスタの非導通ときのソースドレイン間抵抗が第1の絶縁ゲート型電界効果トランジスタの非導通時のソースドレイン間抵抗よりも小さくなる一定の電圧を第2の絶縁ゲート型電界効果トランジスタのソースへ印加しているため、ワード線駆動回路を2つの絶縁ゲート型電界効果トランジスタで構成しても、正確に対応のワード線を選択/非選択状態へ駆動することができ、応じて、ワード線駆動回路の構成要素数を低減することができる。

【0129】請求項2に係る発明に従えば、ワード線サブデコード信号を対応のワード線上に伝達する第1の絶縁ゲート型電界効果トランジスタと、ワード線サブデコード信号と相補な信号にตอบสนองしてこの基準電圧を対応のワード線に伝達する第2の絶縁ゲート型電界効果トランジスタとでワード線駆動回路を構成し、この基準電圧の極性を、ワード線サブデコード信号の電圧極性と異ならせるようにしているため、対応のワード線がフローティング状態になるのを防止することができ、構成要素数が低減されたワード線駆動回路を実現することができる。

【0130】請求項3に係る発明に従えば、メインワー

ド線およびサブワード線を含む階層ワード線構成において、各サブワード線に対応して設けられるサブワード線ドライブ回路を、2つの絶縁ゲート型電界効果トランジスタで構成し、補のワード線サブデコード信号に従って導通/非導通となる絶縁ゲート型電界効果トランジスタのソースノードに基準電圧を印加し、この基準電圧の電圧極性が、サブワード線デコード信号および補のデコード信号のそれと異ならされているため、サブワード線が非選択時フローティング状態になるのを防止することができ、構成要素数が低減されたワード線駆動回路を備える半導体記憶装置を実現することができ、応じてアレイ面積の低減された半導体記憶装置を実現することができる。

【0131】請求項4に係る発明に従えば、メインワード線/サブワード線の階層ワード線構成において、メインワード線上の電圧に従って相補的に導通する第1および第2の絶縁ゲート型電界効果トランジスタによりサブワード線ドライブ回路を構成し、この第2の絶縁ゲート型電界効果トランジスタのソースに与えられる基準電圧の極性を、サブワード線デコード信号およびメインワード線上の電圧と異ならせているため、サブワード線非選択時においてもフローティング状態になるのを確実に防止することができ、また非選択サブワード線に接続されるメモリセルのアクセストランジスタをより深いオフ状態に設定することができ、電荷保持特性が優れ、かつ回路占有面積の低減された半導体記憶装置を実現することができる。

【0132】請求項5に係る発明に従えば、メインワード線/サブワード線の階層ワード線構成において、メインワード線と平行にサブワード線デコード信号を伝達する信号を配線し、このサブワード線デコード信号線と交差する方向にサブワード線デコード信号伝達線を配設し、かつ対応のサブワード線デコード信号線と接続して、対応のサブワード線ドライブ回路へ伝達するように構成しているため、サブワード線デコード信号線およびサブワード線デコード信号伝達線の全体の長さを短くすることが可能となり、信号伝播遅延および消費電力を低減することができる。

【0133】請求項6に係る発明に従えば、メイン/サブワード線の階層ワード線構成において、メインワード線と平行に第1のサブワード線デコード信号線を配線し、このサブワード線デコード信号線と交差する方向に第2のサブワード線デコード信号伝達線を配設し、サブワード線それぞれに設けられたサブワード線ドライブ回路を、このメインワード線上の信号と第2のサブワード線デコード信号線上の信号とに従って対応のサブワード線を駆動するように構成しているため、配線占有面積を増加させることなくまたメインワード線のピッチ条件に悪影響を及ぼすことなく、サブワード線デコード信号伝達線を配設し、かつその長さを短くすることができ、応じ

てサブワード線デコード信号駆動のための電力消費を低減することができる。

【0134】請求項7に係る発明に従えば、メイン/サブワード線の階層ワード線構成において、メインワード線と平行にサブワード線デコード信号を伝達し、メモリアレイ内に設けられた行駆動回路へサブワード線伝達選択信号を伝達するように構成しているため、ワード線選択信号線のピッチ条件に悪影響を及ぼすことなくまた配線占有面積を増加させることなくワード線デコード信号を伝達することができ、応じてこのワード線デコード信号の配線長さを短くすることができ、応じて消費電力を低減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 (A)は、アドレス信号とプリデコード信号およびブロック選択信号との対応関係を示し、(B)は、プリデコード入力部の構成を示し、(C)は、プリデコードのデコード部の構成を示す図である。

【図3】 (A)は、図1に示すサブワード線デコードの構成を示し、(B)は、(A)に示すレベル変換機能付インバータの構成を示す図である。

【図4】 図1に示すロウデコードおよびメインワード線ドライバの構成を示す図である。

【図5】 図1に示すメモリセルアレイにおけるサブワード線ドライバの構成を示す図である。

【図6】 図1に示す負電圧発生回路の構成を示す図である。

【図7】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。

【図8】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を示す図である。

【図9】 この発明の実施の形態4に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図10】 この発明の実施の形態4におけるアドレス信号ビットとプリデコード信号との対応関係を示す図である。

【図11】 図9に示す半導体記憶装置の1つのメモリブロックに関連する部分の構成を概略的に示す図である。

【図12】 図11に示すサブワード線ドライブ回路の構成を示す図である。

【図13】 図11に示すメインワード線ドライブ回路およびサブワード線デコード回路の構成を示す図である。

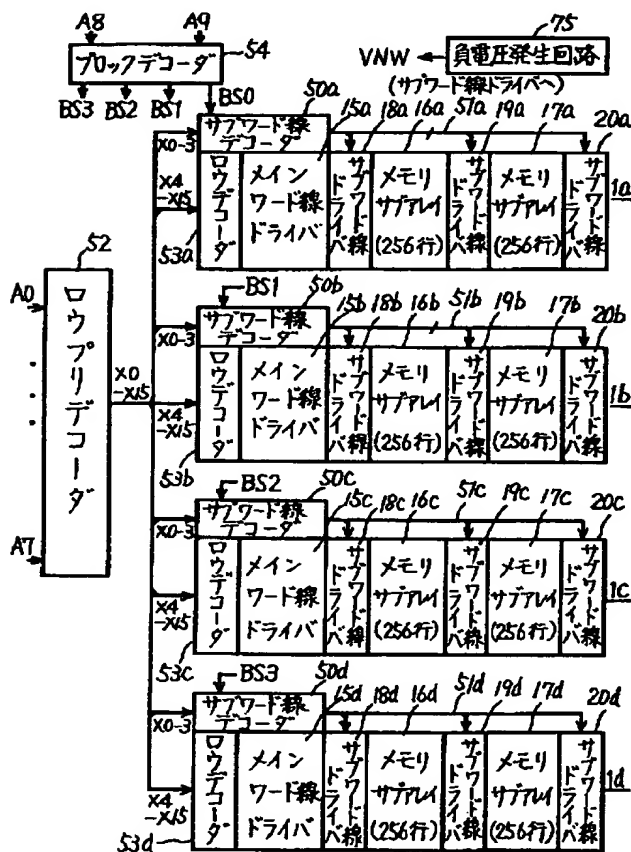
【図14】 (A)は、この発明の実施の形態5に従う半導体記憶装置のアレイ部の構成を概略的に示す図であり(B)は、(A)に示すサブワード線ドライブ回路の構成を示す図である。

【図15】 従来の半導体記憶装置のアレイ部の構成を

1 a ~ 1 d   メモリセルアレイ、15 a ~ 15 d   メインワード線ドライバ、16 a ~ 16 d、17 a ~ 17 d   メモリサブアレイ、18 a ~ 18 d、19 a ~ 19 d、20 a ~ 20 d   サブワード線ドライバ、50 a ~ 50 d   サブワード線デコーダ、75   負電圧発生回路

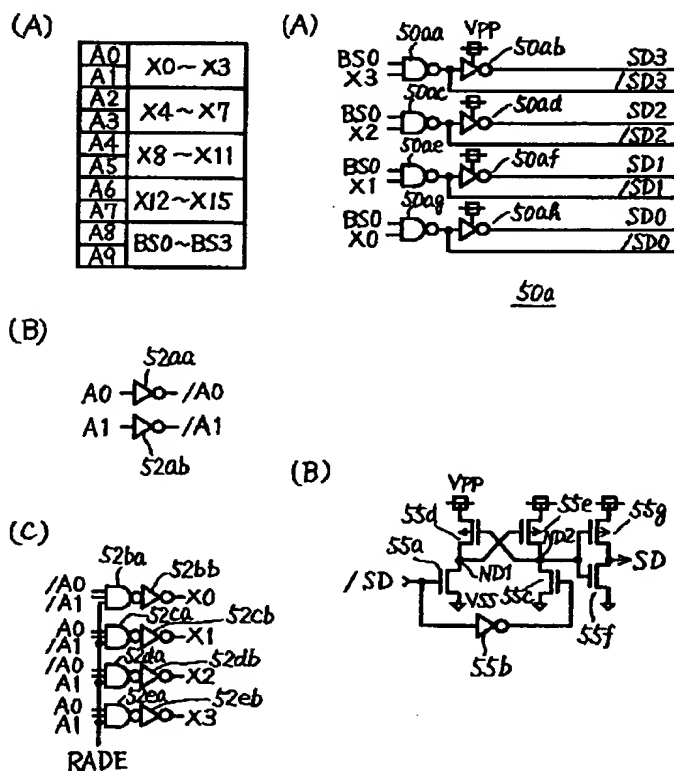
路、15aa～15ax メインワード線ドライブ回路、51a～51d サブワード線デコード信号線、MBK#0～MBK#3 メモリブロック、MDR0～MDR7 メインワード線ドライブ回路、SWD0～SWD7 サブワード線デコード回路、ASDR, BSD R, CDSR サブワード線ドライブ回路、SD0a～SD7a サブワード線デコード信号線、SSD0a～SSD6a, SSD1～SSD7, SSD0b～SSD6b サブワード線デコード信号伝達線、150b メインワード線選択回路、155b サブワード線選択回路、150 メインワード線ドライブ回路、155 サブワード線ドライブ回路、170a, 170b, 170c サブワード線デコード信号伝達線。

【图 3】

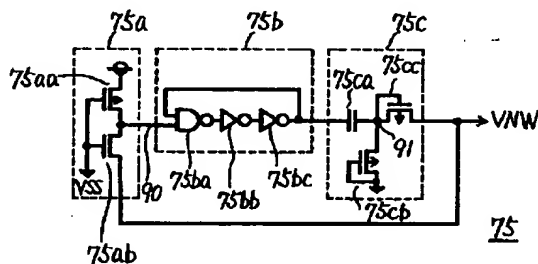


【图 10】

A0-A2	X0-X7	サブワード線指定
A3-A5	X8-X15	メインワード線指定
A6, A7	X16-X19	ブロック指定
A8, A9	BS0-BS3	アレイ指定

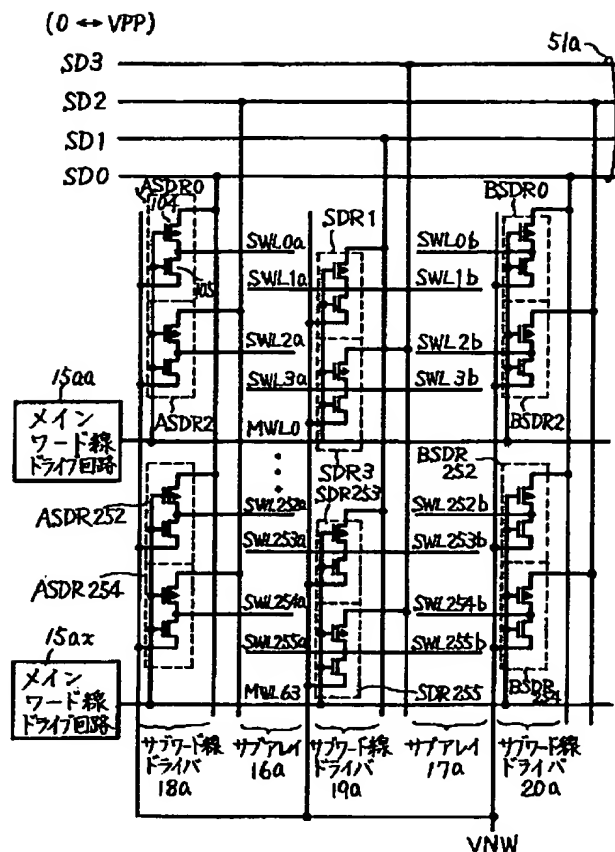


【图 6】

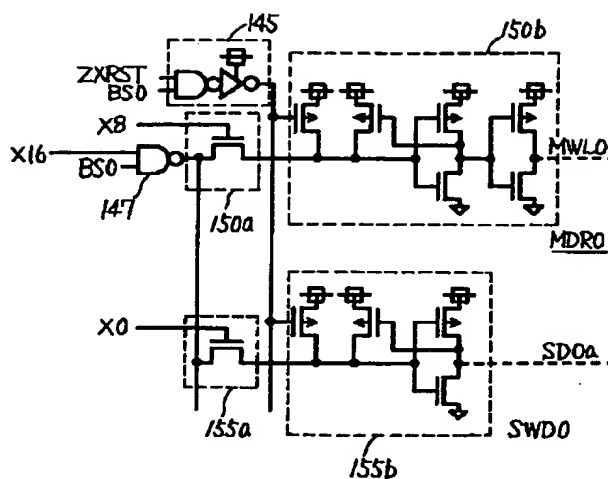




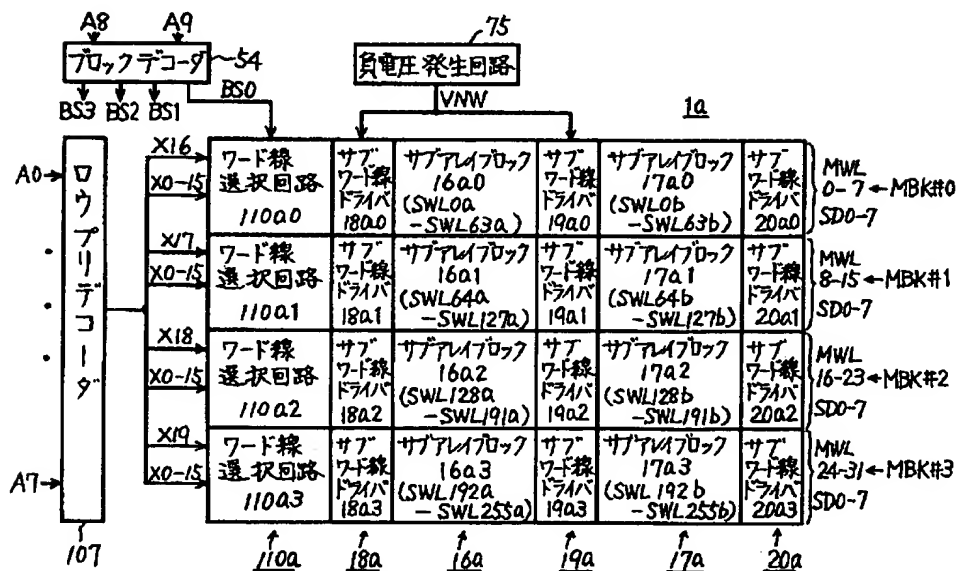
【図8】



【図13】

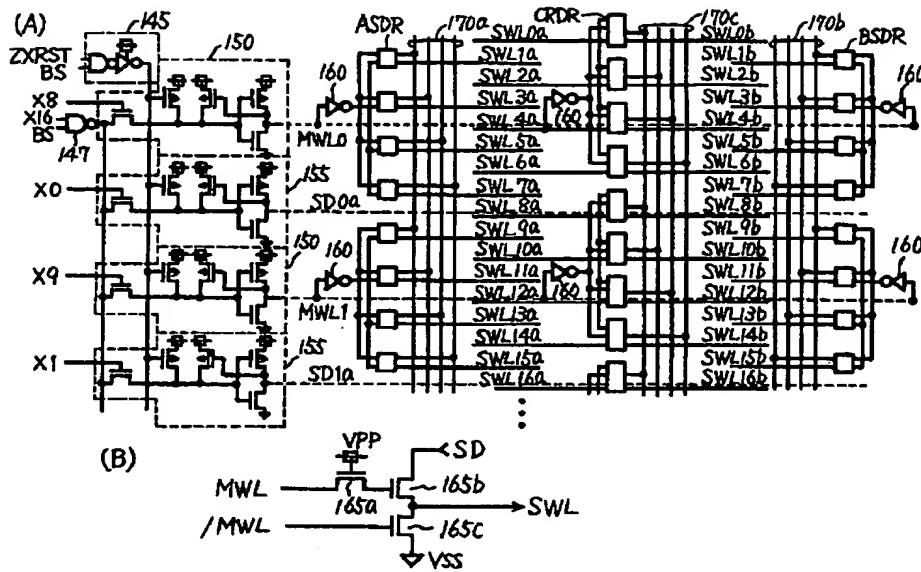


【図9】



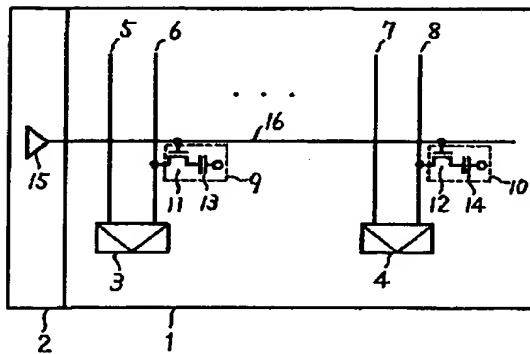


【図 14】

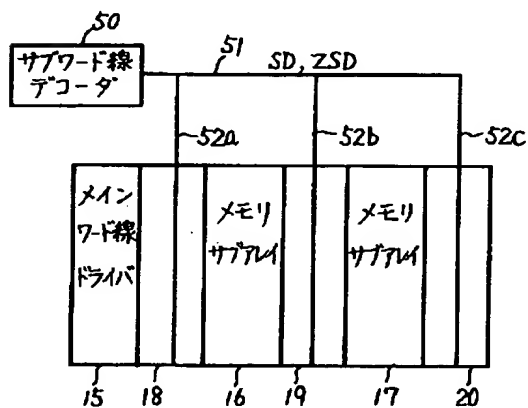
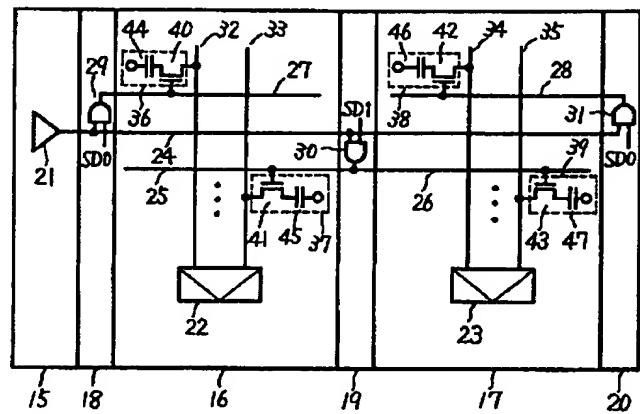


【図 15】

【図 16】



【図 18】



**THIS PAGE BLANK (USPTO)**